

## **REFERENCE POTENTIAL GENERATING CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT ARRANGEMENT USING THE SAME**

**Patent number:** KR9706604  
**Publication date:** 1997-04-29  
**Inventor:** YAMADA TOSHIO (JP); SHIBAYAMA AKINORI (JP); IWANARI SUNGICHI (JP); HUJIWARA ATSUSHI (JP)  
**Applicant:** MATSUSHITA ELECTRIC IND CO LTD (JP)  
**Classification:**  
- international: G05F3/24; G05F3/08; (IPC1-7): G11C11/407  
- european: G05F3/24C1  
**Application number:** KR19930010509 19930610  
**Priority number(s):** JP19920150285 19920610; JP19930118221 19930520

**Also published as:**

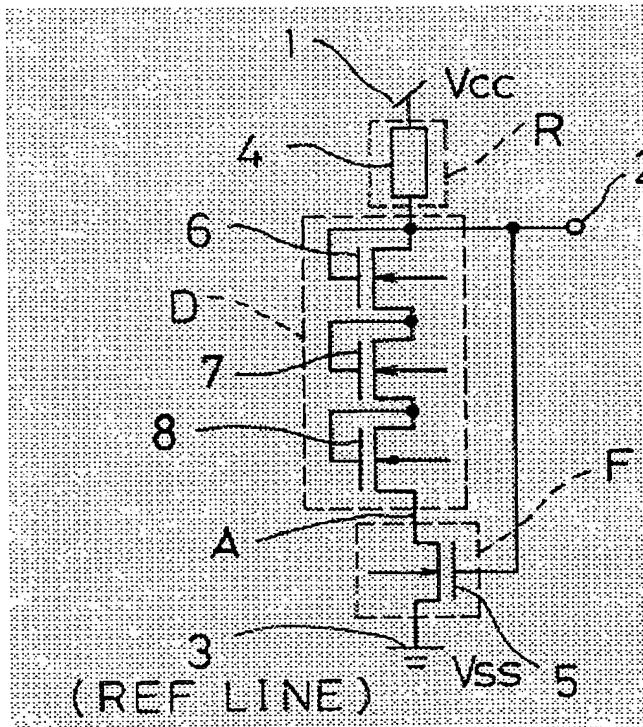
US5545977 (A)  
JP6076571 (A)

## **Report a data error here**

Abstract not available for KR9706604

Abstract of corresponding document: **US5545977**

In a circuit, a resistance element is interposed between a positive power supply line (external power supply voltage level VCC) and an output node. To feedback an output potential, there is disposed an N-type MOSFET of which gate is connected to the output node and of which source is connected to the earth line (earth potential VSS) in the circuit. Another three N-type MOSFETs which are so connected in series to one another as to form a MOS diode, are interposed between the drain of the feedback N-type MOSFET and the output node. The earth line also serves as a reference potential line for the potential of the output node. Variations of the threshold voltages of the MOSFETs due to temperature variations are compensated. This restrains the output potential from varying.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

## 引用例 2 の写し

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)(51) Int. Cl.<sup>6</sup>  
G11C 11/407

(45) 공고일자 1997년04월29일

(11) 공고번호 97-006604  
Korean Patent Publication No.

(21) 출원번호

특1993-0010509

(65) 공개번호

특1994-0006263

(22) 출원일자

1993년06월10일

(43) 공개일자

1994년03월23일

Priority numbers

(30) 우선권주장

92-150285 1992년06월10일 일본(JP)

93-118221 1993년05월20일 일본(JP)

미즈시다덴기산교 가부시기 가이사 모리시타 요이찌

일본국 오오사카후 가도마시 오오마자가도마 1006반지

(73) 특허권자

일본국 오오사카후 가도마시 오오마자가도마 1006반지

(72) 발명자

아마다 토시오 일본국 오오사카후 가도마시 쿠와사이 179-18 니카타니 하이즈 116

시바야마 아키노리

일본국 오오사카후 히라카타시 우에노 2-9-40-201

이와나리 승미치

일본국 오오사카후 히라카타시 코리가오카 7-4-2

후지와라 마쓰시

(74) 대리인

신종훈

설명서 : 김희태 (하자공보 제4970호)(54) 기준전위발생회로와 그것을 사용한 반도체집적회로

## 요약

내용없음.

## 도면

## 도1

## 명세서

## [발명의 명칭]

기준전위발생회로와 그것을 사용한 반도체집적회로

## [도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 관한 기준전위발생회로의 제1구성예의 회로도.

제2도는 본 발명의 제1실시예에 관한 기준전위발생회로의 제2구성예의 회로도.

제3도는 본 발명의 제1실시예에 관한 기준전위발생회로의 제3구성예의 회로도.

제4도는 본 발명의 제1실시예에 관한 기준전위발생회로의 제4구성예의 회로도.

제5도는 본 발명의 제1실시예에 관한 기준전위발생회로의 제5구성예의 회로도.

제6도는 본 발명의 제1실시예에 관한 기준전위발생회로의 제6구성예의 회로도.

제7도는 본 발명의 제1실시예에 관한 기준전위발생회로에 의한 출력전위의 운도전의존성의 개선효과를 표시한 그래프.

제8도는 본 발명의 제2실시예에 관한 정(定)전압발생회로의 제1구성예의 회로도.

제9도는 제8도중의 비교회로의 구성예를 표시한 회로도.

제10도는 제9도의 비교회로가 정상적인 비교동작을 행하지 않게되는 경우가 있는 것을 표시한 설명도.

제11도는 본 발명의 제2실시예에 관한 정전압발생회로의 제2구성예의 회로도.

제12도는 본 발명의 제2실시예에 관한 정전압발생회로의 제3구성예의 회로도.

제13도는 본 발명의 제3실시예에 관한 전압레벨검출회로의 제1구성예를 표시한 회로도.

제14도는 본 발명의 제3실시예에 관한 전압레벨검출회로의 제2구성예를 표시한 회로도.

제15도는 본 발명의 제3실시예에 관한 전압레벨검출회로의 제3구성예를 표시한 회로도.  
 제16도는 본 발명의 제3실시예에 관한 전압레벨검출회로의 제4구성예를 표시한 회로도.  
 제17도는 제15도의 전압레벨검출회로의 히스테리시스 특성을 표시한 그래프.  
 제18도는 본 발명의 제4실시예에 관한 온도검출회로의 제1구성예의 회로도.  
 제19도는 본 발명의 제4실시예에 관한 온도검출회로의 제2구성예의 회로도.  
 제20도는 본 발명의 제4실시예에 관한 온도검출회로의 제3구성예의 회로도.  
 제21도는 본 발명의 제4실시예에 관한 온도검출회로의 제4구성예의 회로도.  
 제22도는 제20도의 온도검출회로의 히스테리시스 특성을 표시한 그래프.  
 제23도는 본 발명의 제5실시예에 관한 액티브제어방식의 전원회로의 제1구성예를 표시한 회로도.  
 제24도는 본 발명의 제5실시예에 관한 액티브제어방식의 전원회로의 제2구성예를 표시한 회로도.  
 제25도는 본 발명의 제5실시예에 관한 액티브제어방식의 전원회로의 제3구성예를 표시한 회로도.  
 제26도는 본 발명의 제6실시예에 관한 반도체집적회로의 제1구성예를 표시한 회로도.  
 제27도는 제26도중의 지연시간차 검출회로의 구성을 표시한 회로도.  
 제28도는 제27도의 지연시간차 검출회로의 각부신호파형을 표시한 타이밍차트도.  
 제29도는 제26도중의 제어회로의 구성을 표시한 회로도.  
 제30도는 제26도중의 정전압발생회로의 구성을 표시한 회로도.  
 제31도는 본 발명의 제6실시예에 관한 반도체집적회로의 제2구성예 표시한 회로도.  
 제32도는  $\tau_1 \neq 2$ 의 경우의 제31도중의 각부의 신호파형을 표시한 타이밍차트도.  
 제33도는  $\tau_1 \neq 2$ 의 경우의 제32도와 미찬가지도면.  
 제34도는 본 발명의 제6실시예에 관한 반도체집적회로의 제3구성예를 표기한 회로도.  
 제35도는  $\tau_1 \neq 2$ 의 경우의 제34도중의 지연시간차 검출회로의 입출력신호파형을 표시한 타이밍 차트도.  
 제36도는  $\tau_1 \neq 2$ 의 경우의 제35도와 마찬가지의 도면.  
 제37도는 본 발명의 제6실시예에 관한 반도체집적회로의 제4구성예를 표기한 회로도.  
 제38도는 본 발명의 제6실시예에 관한 반도체집적회로의 제5구성예를 표기한 회로도.  
 제39도는 본 발명의 제6실시예에 관한 반도체집적회로의 제6구성예를 표기한 회로도.  
 제40도는 종래의 CR자연회로를 사용한 반도체집적회로의 구성을 표기한 회로도.

\* 도면의 주요부분에 대한 부호의 설명

1 : 전원선(제2전압공급선)	2 : 출력노우드
3 : 접지선(제1전압공급선, 기준전위선)	
4 : 저항소자	5 : N형 MOSFET
6, 7, 8 : N형 MOSFET(MOS다이오드)	
9 : P형 MOSFET	10 : N형 MOSFET
11 : 제어입력단자	12, 13, 14, 15 : 저항소자
16, 17, 18 : P형 MOSFET	19, 20, 21 : 제어입력단자
22, 23 : P형 MOSFET	24, 25 : 제어입력단자
31 : 전원선(제1전압공급선, 기준전위선)	33 : 접지선(제2전압공급선)
32 : 출력노우드	35 : P형 MOSFET
34 : 저항소자	
36, 37, 38 : P형 MOSFET(MOS다이오드)	
39 : N형 MOSFET	
41 : 기준전위발생회로(제1기준전위발생회로)	
41a : 기준전위발생회로의 출력노우드(제1노우드)	
42 : 비교회로	43 : P형 MOSFET(구동회로)
44 : 출력선	45 : 콘덴서소자
46 : 전압시프트회로(제2기준전위발생회로)	

46a : 전압시프트회로의 입력노우드  
 46b : 전압시프트회로의 출력노우드(제2노우드)  
 47a, 47b : 차동 N형 MOSFET                    48a, 48b : 전류미러 P형 MOSFET  
 49 : 공통 N형 MOSFET  
 51 : 기준전위발생회로(제1기준전위발생회로)  
 52 : 비교회로                                        53 : P형 MOSFET(구동회로)  
 54 : 출력선                                        55 : 콘덴서소자  
 56 : 전압시프트회로(제2기준전위발생회로)  
 57 : 제어회로                                        61, 65 : 제1기준전위발생회로  
 61a, 65a : 제1노우드                                62, 66 : 제2기준전위발생회로  
 62a, 66a : 제2노우드                                63, 67 : 비교회로  
 69, 70 : 히스테리시스제어회로                    71, 75 : 제1기준전위발생회로  
 71a, 75a : 제1노우드                                72, 76 : 제2기준전위발생회로  
 72a, 76a : 제2노우드                                73, 77 : 비교회로  
 79, 80 : 히스테리시스제어회로                    81a, 84a : 정전압발생회로  
 81b, 84b : 제어회로  
 82, 85 : 프로그램가능정전압발생회로            83, 86 : 온도검출회로  
 91 : 펄스발생회로                                    92 : 제1지연회로  
 93 : 제2지연회로                                    94 : 지연시간차검출회로  
 95 : 액티브전압제어회로  
 101, 141, 161, 171, 181 : 펄스발생회로  
 102, 142, 162, 172, 182 : 제1지연회로  
 103, 143, 163, 173, 183 : 제2지연회로  
 104, 144, 164, 174, 184 : 지연시간차검출회로  
 105, 145, 165, 175, 185 : 제어회로  
 106, 146, 166, 176, 186 : 정전압발생회로  
 107, 147, 167, 177, 187 : 주변회로  
 111a, 111b, 115a, 115b : 지연회로부  
 112a, 112b, 113a, 113b, 114, 116a, 116b : NAND회로  
 121, 122 : 래치회로                                123, 124, 125, 126 : 스위칭소자  
 131 : 기준전위발생회로                            131a : 기준전위발생회로의 출력노우드  
 132 : 비교회로                                        133 : 구동회로  
 134 : 정전압발생회로의 출력선                    151 : NOR회로(논리합회로)  
 153 : 제1래치회로                                    158 : 제2래치회로  
 168 : 플립플롭                                        169 : 단안정멀티바이브레이터  
 188 : 로우디코우더                                    189 : 타이밍회로  
 190 : 센스앰프  
 200 : 중앙제어회로(기판전위제어회로, 특정전위제어회로, 액티브전압제어회로)  
 201, 202, 203, 204 : 회로블록  
 211, 212 : VPP발생회로(특정전위생성회로)  
 221, 222 : VBB발생회로(기판전위생성회로)  
 231, 232, 233, 234 : Vint발생회로              R : 저항수단  
 F : 귀환수단    D : 다이오드수단  
 S : 단락수단    C : 제어신호  
 Vcc : 외부전원전압레벨                            Vss : 접지전위

VBB : 기판바이머스레벨(기판전위, 파측정전압레벨)

Vpp : 워드선승압레벨(파측정전압레벨)

Vint : 내부강압(降壓)레벨

$\otimes_1$  : 기판레벨검출출력

$\otimes_2$  : 승압레벨검출출력

#### [발명의 상세한 설명]

본 발명은, 기존 전위발생회로와 그것을 사용한 반도체집적회로등에 관한 것이다. 반도체 기억장치의 하나인 라이내믹 랜덤액세스 메모리(DRAM)의 내부에서는, 외부로부터 공급되는 전원전압의 레벨 VCC 이외에, 내부강압(降壓) 레벨 Vint, 워드선승압레벨 VPP, 비트선프리차마지레벨 Vpr, 기판바이머스레벨 VBB등의 여러가지의 전압레벨이, 신뢰성의 확보나 저소비전류화를 위하여 필요하게 된다. 16비트 DRAM의 경우, 예를 들면 VCC=5V(접지전위 VSS=0V를 기준으로 한다.)에 대해서, Vint=3.3V, VPP=4.5V, Vpr=1.65V, VBB=-2V정도이다.

증래 이를 전압레벨을 얻기 위해서는, 일본국, 특개소 63-244217호 공보에 있는 비와 같은 MOSFET(전계효과형 MOS트랜지스터)를 사용한 전원전압변환회로를 사용하고 있었다.

그런데, DRAM등의 반도체집적회로에 있어서 복수의 회로블록을 동기동작시킬 경우, 회로블록사이의 타이밍 조정에 각종의 지연회로가 사용된다. DRAM의 경우에 대해서 구체적으로 설명하면, 예를 들면 그 주변회로중에, 워드선을 재구성해서 메모리셀을 선택하기 위한 로우디코우더와, 이 로우디코우더에 의해 선택된 메모리셀로부터 비트선상에 판독되는 미소전위를 증폭하도록 센스앰프를 활성화시키는 타이밍을 조정하기 위한 타이밍회로가 배설된다. 타이밍회로에 의해, 센스앰프의 활성화를 로우디코우더에 의한 워드선의 선택보다 지연시키는 것이다. 이 타이밍회로는, 각각 2개의 MOSFET만으로 구성된 복수단의 인버터로 이루어진 통상의 인버터체인으로 구성할 수 있다. 단, 이와 같은 단순한 구성의 타이밍회로에서는, 그 지연시간이 큰 온도의존성을 가진다.

그래서, 지연시간의 온도의존성을 저감하도록, 저항소자와 콘덴서 소자로 결정되는 시정수를 이용한 CR지연회로가 고안되었다. 그 예로서, 일본국 특개소 63-31275호 공보에 기재된 CR지연회로나, 일본국의 와타나베요지 등에 의한 A New CR-Delay Circuit Technology for High-bensity and High Speed DRAM's(고밀도이고 또한 고속의 DRAM을 위한 신규의 CR지연회로 기술), IEEE J. Solid-State Circuits, vol. 24, pp. 905-910, 1989에 기재된 CR지연회로를 볼 수 있다.

제40도는, 증래의 CR지연회로를 사용한 반도체집적회로의 구조예를 표시한 것이다. 등도면의 반도체집적회로에서는, 복수단의 CR지연회로(301)를 주변회로(302)가 구비하고 있다. CR지연회로(301)에 있어서, (303)은 비교회로, (304)는 P형 MOSFET(305)는 N형 MOSFET, P1은 입력신호, P2는 출력신호, R1은 충전저항소자, R2, R3은 분압저항소자, C는 콘덴서 소자이다. 각 CR지연회로(301)에는 정전압발생회로(306)에 의해, 외부로부터 공급된 전원전압을 안정화시켜서 얻게 되는 전압 VCC가 내부전원전압으로서 공급되고 있다.

이 구성에 의하면, 각 CR지연회로(301)의 지연시간이 저항소자 R1~R3과 콘덴서 소자 C와의 각각의 기하학적인 치수로 결정되는 정수에만 의존하므로, 지연시간의 온도의존성이 적아진다.

상기 증래의 전원전압변환회로에서는, 외부전원전압레벨 VCC의 변동에 대한 출력전압의 변동은 억제되나, 온도변화에 기인해서 MOSFET의 스레숄드(threshold)전압이 변동하였을 때에 출력전압이 변동해 버린다고 하는 문제가 있었다.

또, 반도체집적회로의 주변회로에 있어서 지연을 요하는 모든 부분에 상기 증래의 CR지연회로를 사용하는 것으로 하면, 통상의 인버터체인으로 구성된 지연회로를 사용하였을 경우에 비해서 주변회로의 레이아웃 면적이 크게되어 버린다고 하는 문제가 있었다.

본 발명의 목적은, 온도의존성이 작은 기준전위발생회로를 실현하고, 그것을 사용한 정전압발생회로, 전압레벨검출회로 및 온도검출회로를 제공하는 것, 그리고 이를 회로를 이용한 유용한 전원회로 및 반도체집적회로를 제공하는 것에 있다.

상기 과제를 해결하기 위하여, 본 발명에 관한 기준전위발생회로에서는, 온도변화에 기인한 스레숄드전압의 변동을 실효적으로 보상하도록 귀환트랜지스터를 설치하는 것으로 하였다.

구체적으로 설명하면, 본 발명의 제1~제8의 발명은, 서로의 사이에, 직류전압이 인가되는 제1 및 제2전압 공급선중의 기준전위선으로서의 제1 전압공급선과 출력노우드와의 사이에 일정한 전위차를 발생시키면서 상기 출력노우드에 일정한 전위를 발생시키기 위한 기준전위발생회로에 관한 것이다.

먼저, 본 발명의 제1의 발명은, 상기 제2 전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단을 구비한 구성을 채용한 것이다.

본 발명의 제2의 발명에서는, 상기 귀환수단 및 다이오드수단의 각 MOS트랜지스터는 모두 N형 MOS트랜지스터이며, 상기 제1 전압공급선은 제2 전압공급선보다 저전위로 유지되는 것으로 하였다.

본 발명의 제3의 발명에서는, 상기 귀환수단 및 다이오드수단의 각 MOS트랜지스터는 모두 P형 MOS트랜지스터이며, 상기 제1 전압공급선은 제2 전압공급선보다 고전위로 유지되는 것으로 하였다.

본 발명의 제4의 발명에서는, 상기 저항수단은 또다른 MOS트랜지스터의 채널저항으로 구성되는 것으로 하였다.

본 발명의 제5의 발명에서는, 상기 저항수단은 저항치가 제어신호에 따라서 변화하도록 구성되는 것으로

하였다.

본 발명의 제6의 발명에서는, 상기 다이오드수단의 복수의 MOS트랜지스터중의 적어도 1개의 MOS트랜지스터의 소오스·드레인사이클 제어신호에 따라서 단락시키기 위한 단락수단을 더 구비하는 것으로 하였다.

본 발명의 제7의 발명에서는, 상기 귀환수단 및 다이오드수단의 각 MOS트랜지스터는, 상기 다이오드수단의 복수의 MOS트랜지스터의 각각의 콘덕턴스의 합계와 상기 귀환수단의 MOS트랜지스터의 콘덕턴스가 소정의 동작조건하에서 거의 등등하게 되도록 설정되는 것으로 하였다.

본 발명의 제8의 발명에서는, 상기 귀환수단 및 다이오드수단의 각 MOS트랜지스터는, 상기 다이오드수단의 복수의 MOS트랜지스터의 각각의 채널폭을 #1, 채널길이 L1, 직렬개수 N로 하고, 상기 귀환수단의 MOS트랜지스터의 채널폭을 #2, 채널길이를 L2로 하였을 때, #1/N과 #2/L2와의 비가 대략 N대 10이 되도록 설정되는 것으로 하였다.

본 발명의 제9~제11의 발명은, 출력선의 전위를 소정치로 유지하기 위한 정전압 발생회로에 관한 것이다.

구체적으로는, 본 발명의 제9의 발명은, 서로의 사이에, 직류전압이 인가되는 제1 및 제2 전압공급선중의 기준전위선으로서의 제1 전압공급선과 출력노우드와의 사이에 일정한 전위차를 발생시키기 위한 기준전위발생회로와, 상기 기준전위발생회로의 출력노우드의 전위와 상기 출력선의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로를 구비한 구성을 채용한 것으로서, 상기 기준전위발생회로는, 상기 제2 전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1 전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단을 가진 것으로 하였다.

본 발명의 제10의 발명에서는, 상기 저항수단은 저항차가 제어신호에 따라서 변화하도록 구성되어 있으며, 상기 저항수단에의 제어신호를 생성하므로서 안정화출력전압으로서의 상기 출력선의 전위를 변경하기 위한 제어회로를 더 구비한 것으로 하였다.

본 발명의 제11의 발명에서는, 상기 다이오드수단의 복수의 MOS트랜지스터중의 적어도 1개의 MOS트랜지스터의 소오스·드레인사이클 제어신호에 따라서 단락시키기 위한 단락수단과, 상기 단락수단에의 제어신호를 생성하므로서 안정화출력전압으로서의 상기 출력선의 전위를 변경하기 위한 제어회로를 더 구비하는 것으로 하였다.

본 발명의 제12~제19의 발명도, 출력선의 전위를 소정치로 유지하기 위한 정전압발생회로에 관한 것이다.

구체적으로는, 본 발명의 제12의 발명은, 제1 기준전위선과 제1노우드와의 사이에 일정한 전위차를 발생시키기 위한 제1 기준전위발생회로와, 제2 기준전위선과 제2 노우드와의 사이에 일정한 전위차를 발생시키기 위한 제2 기준전위발생회로와, 상기 제1 노우드의 전위와 상기 제2 노우드의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 출력선을 구동하기 위한 구동회로를 구비하는 것으로 하고, 상기 출력선은, 이 상기 출력선의 전위가 상기 제2 기준전위선에 부여되도록 상기 제2 기준전위선에 결선된 구성을 채용한 것이다.

본 발명의 제13의 발명에서는, 상기 출력선과 상기 제2 노우드와의 사이에 삽입된 콘덴서소자를 더 구비하는 것으로 하였다.

본 발명의 제14의 발명에서는, 상기 제1 및 제2 기준전위발생회로중의 적어도 한쪽은, 서로의 사이에 직류전압이 인가되는 제1 및 제2 전압공급선중의 상기 제1 또는 제2 기준전위선으로서의 제1 전압공급선과 상기 제1 또는 제2 노우드로서의 출력노우드와의 사이에 일정한 전위차를 발생시키도록, 상기 제2 전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1 전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단을 구비하는 것으로 하였다.

본 발명의 제15의 발명에서는, 상기 저항수단은 저항차가 제어신호에 따라서 변화하도록 구성되어 있으며, 상기 저항수단에의 제어신호를 생성하므로서 상기 안정화출력전압으로서의 상기 출력선의 전위를 변경하기 위한 제어회로를 더 구비하는 것으로 하였다.

본 발명의 제16의 발명에서는, 상기 다이오드수단의 복수의 MOS트랜지스터중의 적어도 1개의 MOS트랜지스터의 소오스·드레인사이클 제어신호를 제어신호에 따라서 단락시키기 위한 단락수단과, 상기 단락수단에의 제어신호를 생성하므로서 안정화 출력전압으로서의 상기 출력선의 전위를 변경하기 위한 제어회로를 더 구비하는 것으로 하였다.

본 발명의 제17의 발명에서는, 상기 제1 및 제2 기준전위발생회로중의 적어도 한쪽은 제어신호를 따라서 상기 출력노우드의 전위를 변경할 수 있도록 구성되어 있으며, 측진신호를 취할때마다 안정화출력전압으로서의 상기 출력선의 전위를 상승시키고 또한 제어신호를 수취할때마다 상기 출력선의 전위를 저하시키도록 상기 제어신호를 생성하기 위한 제어회로를 더 구비하는 것으로 하였다.

본 발명의 제18의 발명에서는, 스텠드바이신호를 수취하였을 경우에는 상기 제1 기준전위발생회로, 제2 기준전위발생회로 및 비교회로의 소비전류를 저감시키기 위한 제어회로를 더 구비하는 것으로 하였다.

본 발명의 제19의 발명에서는, 상기 제1 및 제2 기준전위발생회로중의 적어도 한쪽은 제어신호에 따라서 상기 출력노우드 전위를 변경할 수 있도록 구성되어 있으며, 리세트신호를 수취하였을 경우에는 안정화출력전압으로서의 상기 출력선의 전위를 디폴트치로 설정하도록 상기 제어신호를 생성하기 위한 제어회로를 더 구비하는 것으로 하였다.

본 발명의 제20~제23의 발명은, 제1 피측정선의 기준전압레벨과 제2 피측정선의 피측정전압레벨과의 대

소관계를 판정하기 위한 전압레벨검출회로에 관한 것이다.

구체적으로는, 제20의 발명은, 상기 제1 피측정선과 제1 노우드와의 사이에 일정한 전위차를 발생시키기 위한 제1 기준전위발생회로와, 상기 제2 피측정선과 제2 노우드와의 사이에 일정한 전위차를 발생시키기 위한 제2 기준전위발생회로와, 상기 제1 노우드의 전위와 상기 제2 노우드의 전위를 비교하기 위한 비교회로를 구비한 구성을 채용한 것이다.

본 발명의 제21의 발명에서는, 상기 제1 및 제2 기준전위발생회로의 각각은, 서로의 사이에 직류전압이 인가되는 제1 및 제2 전압공급선으로서의 제1 전압공급선과 상기 제1 또는 제2 피측정선으로서의 제1 전압공급선과 상기 제1 또는 제2 노우드로서의 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1 전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단과의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단을 구비하는 것으로 하였다.

본 발명의 제22의 발명에서는, 상기 제1 및 제2 기준전위발생수단중의 어느 한 쪽의 상기 저항수단은 저항치가 제어신호에 따라서 변화하도록 구성되어 있으며, 상기 비교회로의 출력에 따라서 상기 제어신호를 생성하므로서 전압레벨검출 특성에 히스테리시스를 가지게 하기 위한 제어회로를 더 구비하는 것으로 하였다.

본 발명의 제23의 발명에서는, 상기 제1 및 제2 기준전위발생회로중의 어느 한쪽의 상기 다이오드수단의 복수의 MOS트랜지스터중의 적어도 1개의 MOS트랜지스터의 소오스 드레인사이를 제어신호에 따라서 단락시키기 위한 단락수단과, 상기 비교회로의 출력에 따라서 상기 단락수단에의 제어신호를 생성하므로서 전압레벨검출 특성에 히스테리시스를 가지게 하기 위한 제어회로를 더 구비하는 것으로 하였다.

본 발명의 제24~제27의 발명은, 주위온도가 소정의 온도로 도달했는지 어떤지를 판정하기 위한 온도검출회로에 관한 것이다.

구체적으로는, 본 발명의 제24의 발명은, MOS트랜지스터의 스레슬드전압의 변동의 영향을 완화하므로서 작은 온도의존성을 가진 전위차를 제1 기준전위선과 제1 노우드와의 사이에 발생시키기 위한 제1 기준전위발생회로와, MOS트랜지스터의 스레슬드전압의 변동에 기인한 큰 온도의존성을 가진 전위차를 제2 기준전위선과 제2 노우드와의 사이에 발생시키기 위한 제2 기준전위발생회로와, 상기 제1 노우드의 전위와 상기 제2 노우드의 전위를 비교하기 위한 비교회로를 구비한 구성을 채용한 것이다.

본 발명의 제25의 발명에서는, 상기 제1 기준전위발생회로는, 서로의 사이에 직류전압이 인가되는 제1 및 제2 전압공급선중의 상기 제1 기준전위선으로서의 제1 전압공급선과 상기 제1 노우드와의 사이에 작은 온도의존성을 가진 전위차를 발생시키도록 상기 제2 전압공급선과 상기 제1 노우드와의 사이에 삽입된 제1 저항수단과, 게이트가 상기 제1 노우드에 접속되고 또한 소오스가 상기 제1 전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 제1 노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 제1 다이오드수단을 구비하는 것으로 하고, 상기 제2 기준전위발생회로는, 서로의 사이에 직류전압이 인가되는 제3 및 제4 전압공급선중의 상기 제2 기준전위선으로서의 제3 전압공급선과 상기 제2 노우드와의 사이에 큰 온도의존성을 가진 전위차를 발생시키도록, 상기 제4 전압공급선과 상기 제2 노우드와의 사이에 삽입된 제2 저항수단과, 서로 직렬접속되고 또한 일단부가 상기 제2 노우드에 접속되고 탄단부가 상기 제3의 전압공급선에 직렬된 또 다른 복수의 MOS트랜지스터로 구성된 제2 다이오드수단을 구비하는 것으로 하였다.

본 발명의 제26의 발명에서는, 상기 제1 및 제2 저항수단중의 적어도 한쪽은 저항치가 제어신호에 따라서 변화하도록 구성되어 있으며, 상기 비교회로의 출력에 따라서 상기 제어신호를 생성하므로서 온도검출 특성에 히스테리시스를 가지게 하기 위한 제어회로를 더 구비하는 것으로 하였다.

본 발명의 제27의 발명에서는, 상기 제1 및 제2 다이오드수단의 각각의 복수의 MOS트랜지스터중의 적어도 1개의 MOS트랜지스터의 소오스 드레인사이를 제어신호에 따라서 단락시키기 위한 단락수단과, 상기 비교회로의 출력에 따라서 상기 단락수단에의 제어신호를 생성하므로서 온도검출특성에 히스테리시스를 가지게 하기 위한 제어회로를 더 구비하는 것으로 하였다.

본 발명의 제28~제33의 발명은, 논리회로의 전원으로서 사용되는 안정화 출력전압으로서의 출력선의 전위를 온도상승에 따라서 줄리므로서 상기 논리회로의 지연시간을 일정하게 유지하기 위한 전원회로에 관한 것이다.

구체적으로는, 본 발명의 제28의 발명은, 온도를 검출하기 위한 온도검출회로와, 온도상승에 따라서 상기 출력선의 전위를 줄리도록 상기 온도검출회로에 의해 검출된 온도에 따라서 상기 출력선의 전위를 변경하기 위한 정(定)전압발생회로를 구비한 구성을 채용한 것이다.

본 발명의 제29의 발명에서는, 상기 정전압발생회로는, 서로의 사이에 직류전압이 인가되는 제1 및 제2 전압공급선중의 기준전위선으로서의 제1 전압공급선과 출력노우드와의 사이에 일정한 전위차를 발생시키기 위한 기준전위발생회로와, 상기 기준전위발생회로의 출력노우드의 전위와 상기 출력선의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로와, 상기 기준전위발생회로의 출력노우드의 전위를 변경시킴으로서 상기 출력선의 전위를 변경하도록 상기 기준전위발생회로에 제어신호를 부여하기 위한 제어회로를 구비하는 것으로 하였다. 또한, 상기 기준전위발생회로는, 상기 제2 전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1 전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단을 가지고, 상기 저항수단은, 저항치가 상기 제어회로로부터의 제어신호에 따라서 변화하도록 구성되는 것으로 하였다.

본 발명의 제30의 발명에서는, 상기 정전압발생회로는, 서로의 사이에 직류전압이 인가되는 제1 및 제2의 전압공급선중의 기준전위선으로서의 제1 전압공급선과 출력노우드와의 사이에 일정한 전위차를 발생시키기 위한 기준전위발생회로와 상기 기준전위발생회로의 출력노우드의 전위와 상기 출력선의 전위를 비교하

기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로와, 상기 기준전위발생회로의 출력노우드의 전위를 변경시키므로서 상기 출력선의 전위를 변경하도록 상기 기준전위발생회로에 제어신호를 부여하기 위한 제어회로를 구비하는 것으로 하고, 상기

기준전위발생회로는, 상기 제2 전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1 전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단과, 상기 다이오드수단의 복수의 MOS트랜지스터 중의 적어도 1개의 MOS트랜지스터의 소오스 드레인사이를 상기 제어회로로부터의 제어신호에 따라서 단락시키기 위한 단락수단을 가진 것으로 하였다.

본 발명의 제31의 발명에서는, 상기 정전압발생회로는, 제1 기준전위선과 제1 노우드와의 사이에 일정한 전위차를 발생시키기 위한 제1 기준전위발생회로와, 제2 기준전위선으로서의 상기 출력선과 제2 노우드와의 사이에 일정한 전위차를 발생시키기 위한 제2 기준전위발생회로와, 상기 출력선과 상기 제2 노우드와의 사이에 삽입된 콘덴서소자와, 상기 제1 노우드의 전위와 상기 제2 노우드의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로와, 상기 제1 및 제2 노우드 중의 적어도 한쪽의 전위를 변경시키므로서 상기 출력선의 전위를 변경하도록 상기 제1 및 제2 기준전위발생회로 중의 적어도 한쪽에 제어신호를 부여하기 위한 제어회로를 구비하는 것으로 하였다. 또한 상기 제1 및 제2 기준전위발생회로 중의 적어도 한쪽은, 서로의 사이에 직류전압이 인가되는 제1 및 제2 전압공급선중의 상기 제1 또는 제2 기준전위선으로서의 제1 전압공급선과 상기 제1 또는 제2 노우드로서의 출력노우드와의 사이에 일정한 전위차를 발생시키도록, 상기 제2 전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1 전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단을 가지고, 상기 저항수단은, 저항치가 상기 제어회로로부터의 제어신호에 따라서 변화하도록 구성되는 것으로 하였다.

본 발명의 제32의 발명에서는, 상기 정전압발생회로는, 제1 기준전위선과 제1 노우드와의 사이에 일정한 전위차를 발생시키기 위한 제1 기준전위발생회로와, 제2 기준전위선으로서의 상기 출력선과 제2 노우드와의 사이에 일정한 전위차를 발생시키기 위한 제2 기준전위발생회로와, 상기 출력선과 상기 제2 노우드와의 사이에 삽입된 콘덴서소자와, 상기 제1 노우드의 전위와 상기 제2 노우드의 전위를 비교하기 위한 구동회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로와, 상기 제1 및 제2 노우드 중의 적어도 한쪽의 전위를 변경시키므로서 상기 출력선의 전위를 변경하도록 상기 제1 및 제2 기준전위발생회로 중의 적어도 한쪽에 제어신호를 부여하기 위한 제어회로를 구비하는 것으로 하고, 상기 제1 및 제2 기준전위발생회로 중의 적어도 한쪽은, 서로의 사이에 직류전압이 인가되는 제1 및 제2 전압공급선중의 상기 제1 또는 제2 기준전위선으로서의 제1 전압공급선과 상기 제1 또는 제2 노우드로서의 출력노우드와의 사이에 일정한 전위차를 발생시키도록, 상기 제2 전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1 전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단과, 상기 다이오드수단의 복수의 MOS트랜지스터 중의 적어도 1개의 MOS트랜지스터의 소오스 드레인사이를 상기 제어회로로부터의 제어신호에 따라서 단락시키기 위한 단락수단을 가진 것으로 하였다.

본 발명의 제33의 발명에서는, 상기 온도검출회로는, 제1 기준전위선과, 제1 노우드와의 사이에 작은 온도의존성을 가진 전위차를 발생시키기 위한 제1 기준전위발생회로와, 제2 기준전위선과 제2 노우드와의 사이에 큰 온도의존성을 가진 전위차를 발생시키기 위한 제2 기준전위발생회로와, 상기 제1 노우드의 전위와 상기 제2 노우드의 전위를 비교하므로서 검출해야할 온도가 소정의 온도에 도달하였는지 어떤지를 판정하고 이 판정의 결과에 따라서 상기 정전압발생회로의 동작을 제어하기 위한 비교회로를 구비하는 것으로 하였다. 또한, 상기 제1 기준전위발생회로는, 서로의 사이에 직류전압이 인가되는 제1 및 제2 전압공급선중의 상기 제1 기준전위선으로서의 제1 전압공급선과, 상기 제1 노우드와의 사이에는 작은 온도의존성을 가진 전위차를 발생시키도록, 상기 제2 전압공급선과 상기 제1 노우드와의 사이에 삽입된 제1 저항수단과, 게이트가 상기 제1 노우드에 접속되고 또한 소오스가 상기 제1 전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 제1 노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 제1 다이오드수단을 가진 한편, 상기 제2 기준전위발생회로는, 서로의 사이에 직류전압이 인가되는 제3 및 제4 전압공급선중의 상기 제2 기준전위선으로서의 제3 전압공급선과 상기 제2 노우드와의 사이에 큰 온도의존성을 가진 전위차를 발생시키도록, 상기 제4 전압공급선과 상기 제2 노우드와의 사이에 삽입된 제2 저항수단과, 서로 직렬접속되고 또한 일상부가 상기 제2 노우드에 접속되고 탄단부가 상기 제3 전압공급선에 직렬된 또 다른 복수의 MOS트랜지스터로 구성된 제2 다이오드수단을 가진 것으로 하였다.

본 발명의 제34~제40의 발명도, 논리회로의 전원으로서 사용되는 안정화출력전압으로서의 출력선의 전위를 운도상승에 따라서 올리므로서 상기 논리회로의 지연시간을 일정하게 유지하기 위한 전원회로에 관한 것이다.

구체적으로는, 본 발명의 제34의 발명은, 펄스신호의 지연시간의 온도의존성이 작은 제1 지연회로와, 기준온도에 있어서의 펄스신호의 지연시간이 상기 제1 지연회로와 일치하도록 설정된 온도모니터로서의 논리회로를 가진 제2 지연회로와, 상기 제1 지연회로의 지연시간과 상기 제2 지연회로의 지연시간과의 차를 검출하기 위한 지연시간차검출회로와, 상기 제2 지연회로의 지연시간이 상기 제1 지연회로의 지연시간보다 크게 되었을 경우에는 상기 출력선의 전위를 상승시키고 또한 상기 제2 지연회로의 지연시간이 상기 제1 지연회로의 지연시간보다 작게 되었을 경우에는 상기 출력선의 전위를 저하시키도록 상기 지연시간차 검출회로의 출력에 따라서 상기 출력선의 전위를 변경하기 위한 정전압발생회로를 구비하고, 상기 정전압발생회로로부터의 상기 출력선상의 안정화출력전압은 상기 제2 지연회로에 전원으로서 공급되는 구성을 채용한 것이다.

본 발명의 제35의 발명에서는, 상기 제1 지연회로는, 저항소자와 콘덴서소자로 결정되는 시정수를 이용하도록 구성되는 것으로 하였다.

본 발명의 제36의 발명에서는, 상기 지연시간차검출회로는, 상기 제1 지연회로의 지연시간과 상기 제2 지연회로의 지연시간과의 차에 따라서 상기 제2 지연회로의 지연시간이 상기 제1 지연회로의 지연시간보다 작게 되었을 경우에는 억제신호를 출력하는 기능을 가지고, 상기 정전압발생회로는, 상기 지연시간차검출회로로부터의 축진신호를 수취할때마다 상기 출력선의 전위를 상승시키고 또한 상기 지연시간차검출회로로부터의 억제신호를 수취할때마다 상기 출력선의 전위를 저하시키는 기능을 가진 것으로 하였다.

본 발명의 제37의 발명에서는, 상기 정전압발생회로는, 서로의 사이에 직류전압이 인가되는 제1 및 제2 전압공급선중의 기준전위선으로서의 제1 전압공급선과 출력노우드와의 사이에 일정한 전위차를 발생시키기 위한 기준전위발생회로와, 상기 기준전위발생회로의 출력노우드의 전위와 상기 출력선의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로와, 상기 기준전위발생회로의 출력노우드의 전위를 변경시킴으로서 상기 출력선의 전위를 변경하도록 상기 기준전위발생회로에 제어신호를 부여하기 위한 제어회로를 구비하는 것으로 하였다. 또한, 상기 기준전위발생회로는, 상기 제2 전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1 전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단을 가지고, 상기 저항수단은, 저항치가 상기 제어회로로부터의 제어신호에 따라서 변화하도록 구성되는 것으로 하였다.

본 발명의 제38의 발명에서는, 상기 정전압발생회로는, 서로의 사이에 직류전압이 인가되는 제1 및 제2 전압공급선중의 기준전위선으로서의 제1 전압공급선과 출력노우드와의 사이에 일정한 전위차를 발생시키기 위한 기준전위발생회로와, 상기 기준전위발생회로의 출력노우드의 전위와 상기 출력선의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로와, 상기 기준전위발생회로의 출력노우드의 전위를 변경시킴으로서 상기 출력선의 전위를 변경하도록 상기 기준전위발생회로에 제어신호를 부여하기 위한 제어회로를 구비하는 것으로 하고, 상기 기준전위발생회로는, 상기 제2 전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1 전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단과 상기 다이오드수단의 복수의 MOS트랜지스터중의 적어도 1개의 MOS트랜지스터의 소오스 드레인사이를 상기 제어회로로부터의 제어신호에 따라서 단락시키기 위한 단락수단을 가진 것으로 하였다.

본 발명의 제39의 발명에서는, 상기 정전압발생회로는, 제1 기준전위선과 제1 노우드와의 사이에 일정한 전위차를 발생시키기 위한 제1 기준전위발생회로와, 제2 기준전위선으로서의 상기 출력선과 제2 노우드와의 사이에 일정한 전위차를 발생시키기 위한 제2 기준전위발생회로와, 상기 출력선과 상기 제2 노우드와의 사이에 삽입된 콘덴서소자와, 상기 제1 노우드의 전위와 상기 제2 노우드의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로와, 상기 제1 및 제2 노우드중의 적어도 한쪽의 전위를 변경시킴으로서 상기 출력선의 전위를 변경하도록 상기 제1 및 제2 기준전위발생회로중의 적어도 한쪽에 제어신호를 부여하기 위한 제어회로를 구비하는 것으로 하였다. 또한, 상기 제1 및 제2 기준전위발생회로중의 적어도 한쪽은, 서로의 사이에 직류전압이 인가되는 제1 및 제2의 전압공급선중의 상기 제1 또는 제2 기준전위선으로서의 제1 전압공급선과 상기 제1 또는 제2 노우드로서의 출력노우드와의 사이에 일정한 전위차를 발생시키도록, 상기 제2 전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1 전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단을 가지고, 상기 저항수단은, 저항치가 상기 제어회로로부터의 제어신호에 따라서 변화하도록 구성되어 있는 것으로 하였다.

본 발명의 제40의 발명에서는, 상기 정전압발생회로는, 제1 기준전위선과 제1 노우드와의 사이에 일정한 전위차를 발생시키기 위한 제1 기준전위발생회로와, 제2 기준전위선으로서의 상기 출력선과 제2 노우드와의 사이에 일정한 전위차를 발생시키기 위한 제2 기준전위발생회로와, 상기 출력선과 상기 제2 노우드와의 사이에 삽입된 콘덴서소자와, 상기 제1 노우드의 전위와 상기 제2 노우드의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로와, 상기 제1 및 제2 노우드중의 적어도 한쪽의 전위를 변경시킴으로서 상기 출력선의 전위를 변경하도록 상기 제1 및 제2 기준전위발생회로중의 적어도 한쪽에 제어신호를 부여하기 위한 제어회로를 구비하는 것으로 하고, 상기 제1 및 제2 기준전위발생회로중의 적어도 한쪽은, 서로의 사이에 직류전압이 인가되는 제1 및 제2 전압공급선중의 상기 제1 또는 제2 기준전위선으로서의 제1 전압공급선과 상기 제1 또는 제2 노우드로서의 출력노우드와의 사이에 일정한 전위차를 발생시키도록, 제2 전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1 전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단과, 상기 다이오드수단의 복수의 MOS트랜지스터중의 적어도 1개의 MOS트랜지스터의 소오스 드레인사이를 상기 제어회로로부터의 제어신호에 따라서 단락시키기 위한 단락수단을 가진 것으로 하였다.

본 발명의 제41~제50의 발명은, 주변회로와, 이 주변회로의 지연시간을 보정하기 위한 지연시간정보회로를 구비한 반도체접적회로에 관한 것이다.

구체적으로는, 본 발명의 제41의 발명은, 펄스신호를 지연시키기 위한 제1 지연회로와, 상기 제1 지연회로에 공급되는 펄스신호와 동일한 펄스신호를 지연시키기 위한 논리회로를 가지고 이 논리회로는 상기 주변회로와 동일하고 또한 상기 제1 지연회로로는 다른 지연시간 온도의존성을 가지고 또한 기준온도에 있어서의 펄스신호의 지연시간이 상기 제1 지연회로와 일치하도록 설정된 제2 지연회로와, 상기 제2 지연회로 및 주변회로의 각각으로의 안정화전원전압의 공급선으로서 사용되는 출력선의 전위를 제어신호에 따라

서 변경가능한 일정치에 유지하기 위한 정전압발생회로와, 상기 제1 및 제2의 지연회로의 각각의 출력신호에 의거하여 상기 제2 지연회로의 지연시간이 상기 제1 지연회로의 지연시간보다 크게되었을 경우에는 축진신호를 출력하고 또한 상기 제2 지연회로의 지연시간이 상기 제1 지연회로의 지연시간보다 작아졌을 경우에는 억제신호를 출력하기 위한 지연시간차 검출회로와, 상기 지연시간차검출회로로부터의 축진신호를 수취할때마다 상기 출력선의 전위를 상승시키도록 또한 상기 지연시간차 검출회로로부터의 억제신호를 수취할때마다 상기 출력선의 전위를 저하시키도록 상기 정전압발생회로에의 제어신호를 출력하기 위한 제어회로를 구비한 지연시간 보정회로의 구성을 채용한 것이다.

본 발명의 제42의 발명에서는, 상기 지연시간보정회로는, 상기 제1 및 제2 지연회로에 공통의 펄스신호를 공급하기 위한 펄스발생회로를 더 구비한 구성을 채용하는 것으로 하였다.

본 발명의 제43의 발명에서는, 상기 지연시간차 검출회로는, 제1 및 제2 검출신호를 상기 축진신호 및 제어신호로서 출력하기 위한 회로를 구비하는 것으로 하고, 상기 제1 및 제2 검출신호는, 각각 동일 시각에 어터신호로서 출력하기 위한 회로를 구비하는 것으로 하였다. 상기 제1 및 제2 검출신호는, 각각 동일 시각에 어터신호로서 출력하기 위한 회로를 구비하는 것으로 하고, 상기 제1 및 제2 검출신호는, 각각 동일 시각에 어터신호로서 출력하기 위한 회로를 구비하는 것으로 하였다. 본 발명의 제44의 발명에서는, 상기 제어회로는, 복수의 논리신호를 상기 제어신호로서 출력하기 위한 회로를 구비하는 것으로 하고, 상기 복수의 논리신호 중 소정의 논리레벨을 가진 논리신호의 수는, 상기 지연시간차 검출회로로부터 출력되는 제1 및 제2 검출신호의 펄스폭의 차에 따라서 변경되는 것으로 하였다.

본 발명의 제45의 발명에서는, 상기 정전압발생회로는, 서로의 사이에 직류전압이 인가되는 제1 및 제2 전압공급선중의 기준전위선으로서의 제1 전압공급선과 출력노우드와의 사이에 일정한 전위차를 발생시키기 위한 기준전위발생회로와, 상기 기준발생회로의 출력노우드의 전위와 상기 정전압발생회로의 출력선의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로를 구비한 것으로 하고, 상기 기준전위발생회로는, 상기 제어회로로부터의 제어신호로서 출력되는 복수의 논리신호중의 소정의 논리레벨을 가진 논리신호의 수에 따라서 저항치가 변화하도록 상기 제2 전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1 전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단을 가진 것으로 하였다.

본 발명의 제46의 발명에서는, 상기 제2 지연회로는, 기준온도에 있어서의 지연시간이 상기 제1 지연회로의 출력신호와 일치하도록 설정된 기준신호에 대해서 지연위상을 가진 제1 출력신호가 상기 기준신호에 대해서 전진위상을 가진 제2 출력신호를 각각 출력하기 위한 회로를 구비하는 것으로 하였다. 또한, 상기 지연시간차검출회로는, 상기 제1 지연회로의 출력신호의 입력타이밍에 대한 상기 제2 지연회로의 제1 및 제2 출력신호의 일련타이밍에 따라서 상기 제1 지연회로의 지연시간과 상기 제2 지연회로의 지연시간과의 차의 유무를 표시하는 제1 검출신호와 상기 제1 및 제2 지연회로중의 어느 쪽의 지연시간이 큰지를 표시하는 제2 검출신호를 상기 출력신호 및 억제신호로서 출력하기 위한 회로를 구비하고, 상기 제2 지연회로의 지연시간이 상기 제1 지연회로의 지연시간보다 큰 경우에는 지연시간차의 존재를 표시하는 제1 검출신호와 제1 논리레벨을 가진 제2 검출신호가, 상기 제2 지연회로의 지연시간이 상기 제1 지연회로의 지연시간보다 작은 경우에는 지연시간차의 존재를 표시하는 제1 검출신호와 제2 논리레벨을 가진 제2 검출신호가 각각 상기 지연시간차검출회로로부터 출력되는 것으로 하였다.

본 발명의 제47의 발명에서는, 상기 지연시간차검출회로는, 상기 제1 지연회로의 출력신호의 상기 제2 지연회로의 제1 및 제2 출력신호를 각각 입력신호로하는 논리합회로와, 상기 논리합회로의 출력신호를 래치하므로서 상기 제1 검출신호를 출력하기 위한 제1 래치회로와, 상기 제1 래치회로로부터의 제1 검출신호 하므로서 상기 제2 검출신호를 출력하기 위한 회로를 구비하고, 상기 제2 검출신호를 출력하기 위한 제2 래치회로를 구비하는 것으로 하였다.

본 발명의 제48의 발명에서는, 상기 지연시간차 검출회로는, 상기 제1 지연회로의 출력신호의 입력타이밍에 대한 상기 제2 지연회로의 출력신호의 입력타이밍에 따라서 상기 제1 및 제2 지연회로중의 어느 한쪽의 지연시간이 큰지를 표시하는 제1 검출신호와 상기 제1 지연회로의 지연시간과 상기 제2 지연회로의 지연시간과의 차의 유무를 표시하는 제2 검출신호를 상기 출력신호 및 억제신호로서 출력하기 위한 회로를 구비하고, 상기 제2 지연회로의 지연시간이 상기 제1 지연회로의 지연시간보다 큰 경우에는 제1 논리레벨을 가진 제1 검출신호와 지연시간차의 존재를 표시하는 제2 검출신호가, 상기 제2 지연회로의 지연시간이 상기 제1 지연회로의 지연시간보다 작은 경우에는 제2 논리레벨을 가진 제1 검출신호와 지연시간차의 존재를 표시하는 제2 검출신호가 각각 상기 지연시간차검출회로로부터 출력되는 것으로 하였다.

본 발명의 제49의 발명에서는, 상기 지연시간차검출회로는, 상기 제1 및 제2 지연회로의 각각의 출력신호의 전위차를 증폭하므로서 상기 제1 검출신호를 출력하기 위한 펄스를과, 상기 제1 및 제2 지연회로의 각각의 출력신호 중 어느 한쪽의 첨이에 의해 트리거되어서 일정펄스폭을 가진 상기 제2 검출신호를 출력하기 위한 단(單)안정멀리바이브레이터를 구비한 구성을 채용하는 것으로 하였다.

본 발명의 제50의 발명에서는, 상기 주변회로는, 워드선을 개재해서 메모리셀을 선택하기 위한 로우디코우더를 구비하는 것으로 하고, 상기 정전압발생회로의 출력선은, 상기 제2 지연회로 및 로우디코우더의 각각에의 전원전압공급선으로서 사용되는 것으로 하였다.

본 발명의 제51 및 제52의 발명은, 상기 전압레벨검출회로를 이용한 반도체집적회로에 관한 것이다.

구체적으로는, 본 발명의 제51의 발명은, 제1 및 제2 전압공급선을 통해서 외부로부터 인가되는 직류전압으로부터 반도체기판에 부여해이탈 기판전위를 생성하기 위한 기판전위 생성회로와, 상기 기판전위 생성회로에 의해 생성된 기판전위를 소정치로 유지하도록, 상기 기판전위에 따라서 상기 기판전위 생성회로의 동작을 제어하기 위한 기판전위제어회로를 구비한 구성을 채용하는 것으로 하고, 상기 기판전위제어회로는,

상기 제1 및 제2 전압공급선 중의 어느 한쪽을 제1 전위선, 다른쪽을 제2 전위선으로 하고 상기 제1 전위선과 제1 노우드와의 사이에 일정한 전위차를 발생시키기 위한 제1 기준전위발생회로와, 상기 반도체기판과 제2 노우드와의 사이에 일정한 전위차를 발생시키기 위한 제2 기준전위발생회로와, 상기 제1 노우드의 전위와 상기 제2 노우드의 전위를 비교하고 이 비교의 결과에 따라서 상기 기판전의 생성회로의 동작을 제어하기 위한 비교회로를 가진 것으로 한 것이다. 또한, 상기 제1 기준전위발생회로는, 상기 제2 전위선과 상기 제1 노우드와의 사이에 삽입된 제1 저하수단과, 게이트가 상기 제1 노우드에 접속되고 또한 소오스가 상기 제1 전위선에 접속된 MOS트랜지스터를 가진 제1 귀환수단과, 서로 직렬접속되고 또한 상기 제1 귀환수단의 MOS트랜지스터의 드레인과 제1 노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 제1 다이오드수단을 가지고, 상기 제2 기준전위발생회로는, 상기 제1 및 제2 전압공급선중의 어느 한쪽과 상기 제2 노우드와의 사이에 삽입된 제2 저하수단과, 게이트가 상기 제2 노우드에 접속되고 또한 소오스에 상기 기판전위가 부여된 또다른 MOS트랜지스터를 가진 제2 귀환수단과, 서로 직렬접속되고 또한 상기 제2 귀환수단의 MOS트랜지스터의 드레인과 상기 상기 제2 노우드와의 사이에 삽입된 또다른 복수의 MOS트랜지스터로 구성된 제2 다이오드수단을 가진 것으로 하였다.

본 발명의 제53~제60의 발명은, 반도체기판상의 각각 논리회로로 구성된 복수의 회로블록에 공동의 전원으로 사용되는 인증화출령전압으로서의 출력선의 전위를 운도상승에 따라서 올리므로서 상기 복수의 블록이 강의 지연시간을 일정하게 유지할 수 있도록 구성된 반도체적회로에 관한 것이다.

구체적으로는, 본 발명의 제53의 방법은, 펠스신호의 지연시간의 온도의존성이 작은 제1 지연회로와, 기준온도에 있어서의 펠스신호의 지연시간이 상기 제1 지연회로와 일치하도록 설정된 온도모니터로서의 논리회로를 가진 제2 지연회로와, 상기 제1 지연회로의 지연시간과 상기 제2 지연회로의 지연시간이 상기 제2 지연회로의 지연시간보다 작게 되었을 경우에는 억제신호를 출력하기 위한 지연시간차검출회로와, 상기 지연시간차검출회로로부터의 축진신호를 수취할때마다 상기 출력선의 전위를 상승시키고 또한 상기 지연시간차검출회로로부터의 억제신호를 수취할때마다 상기 출력선의 전위를 저하시키기 위한 정전압발생회로를 구비하고, 상기 정전압발생회로로부터의 상기 출력선상의 안정화출력전압은 상기 제2 지연회로에 전워으로서 공급되는 구성을 채용한 것이다.

본 발명의 제54의 발명에서는, 상기 정전압발생회로는, 서로의 사이에 직류전압이 인가되는 제1 및 제2 전압공급선중의 기준전위선으로서의 제1 전압공급선과 출력노우드와의 사이에 일정한 전위차를 발생시키기 위한 기준전위발생회로와, 상기 기준전위발생회로의 출력노우드의 전위와 상기 출력선의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로와, 상기 기준전위발생회로의 출력노우드의 전위를 변경시킴으로서 상기 출력선의 전위를 변경하도록 하는 회로로 구성된다. 상기 기준전위발생회로에 제어신호를 부여하기 위한 제어회로를 구비하는 것으로 하였다. 또한, 상기 기준전위발생회로는, 상기 제2 전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1 전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로串렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 복수의 MOS트랜지스터로 구성된 다이오드수단을 가지고, 상기 저항수단은, 저항치가 상기 제어회로 다른부분의 제어신호에 따라서 변화하도록 구성되는 것으로 하였다.

본 발명의 제55의 발명에서는, 상기 전전압발생회로는, 서로의 사이에 직류전압이 인가되는 제1 및 제2의 전압공급선상의 기준전위선으로서의 제1 전압공급선과 출력노우드와의 사이에 일정한 전위차를 발생시키기 위한 기준전위발생회로와, 상기 기준전위발생회로의 출력노우드의 전위와 상기 출력선의 전위를 비교하기 위한 구동회로로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로로와, 상기 기준전위발생회로의 출력노우드의 전위를 변경시킴으로서 상기 출력선의 전위를 변경하도록 상기 기준전위발생회로의 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 상기 소오스가 상기 제1 전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로에 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단과, 상기 다이오드수단의 복수의 MOS트랜지스터중의 적어도 1개의 MOS트랜지스터의 소오스·드레인사이를 상기 제어회로로부터의 제어신호에 따라서 단락시키기 위한 단락수단을 가진 것으로 하였다.

본 발명의 제56의 발명에서는, 상기 정전압발생회로는, 제1 기준전위선과 제1 노우드와의 사이에 일정한 전위차를 발생시키기 위한 제1 기준전위발생회로와, 제2 기준전위선으로서의 상기 출력선과 제2 노우드와의 사이에 일정한 전위차를 발생시키기 위한 제2 기준전위발생회로와, 상기 출력선과 제2 노우드와

의 사이에 삽입된 콘덴서소자와, 상기 제1 노우드의 전위와 상기 제2 노우드의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로와, 상기 제1 및 제2 노우드중의 적어도 한쪽의 전위를 변경시키므로서 상기 출력선의 전위를 변경하도록 상기 제1 및 제2 기준전위발생회로중의 적어도 한쪽에 제어신호를 부여하기 위한 제어회로를 구비하는 것으로 하였다. 또한, 상기 제1 및 제2 기준전위발생회로중의 적어도 한쪽은, 서로의 사이에 직류전압이 인가되는 제1 및 제2 전압공급선중의 상기 제1 또는 제2 기준전위선으로서의 제1 전압공급선과 상기 제1 또는 제2 노우드로서의 출력노우드와의 사이에 일정한 전위차를 발생시키도록, 상기 제2 전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1 전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단을 가지고, 상기 저항수단은, 저항치가 상기 제어회로부터의 제어신호에 따라서 변화하도록 구성되는 것으로 하였다.

본 발명의 제57의 발명에서는, 상기 정전압발생회로는, 제1 기준전위선과 제1 노우드와의 사이에 일정한 전위차를 발생시키기 위한 제1 기준전위발생회로와, 제2 기준전위선으로서의 상기 출력선과 제2 노우드와의 사이에 일정한 전위차를 발생시키기 위한 제2 기준전위발생회로와, 상기 출력선과 상기 제2 노우드와의 사이에 삽입된 콘덴서소자와, 상기 제1 노우드의 전위와 상기 제2 노우드의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로와, 상기 제1 및 제2 노우드중의 적어도 한쪽의 전위를 변경시키므로서 상기 출력선의 전위를 변경하도록 상기 제1 및 제2 기준전위발생회로중의 적어도 한쪽에 제어신호를 부여하기 위한 제어회로를 구비하는 것으로 하고, 상기 제1 및 제2 기준전위발생회로중의 적어도 한쪽은, 서로의 사이에 직류전압이 인가되는 제1 및 제2 전압공급선중의 상기 제1 또는 제2 기준전위선으로서의 제1 전원공급선과 상기 제1 또는 제2 노우드로서의 출력노우드와의 사이에 일정한 전위차를 발생시키도록, 상기 제2 전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1 전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 상기 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단과, 상기 다이오드수단의 복수의 MOS트랜지스터중의 적어도 1개의 MOS트랜지스터의 소오스 드레인사이를 상기 제어회로부터의 제어신호에 따라서 단락시키기 위한 단락수단을 가진 것으로 하였다.

본 발명의 제58의 발명에서는, 상기 제1 지연회로, 제2 지연회로 및 지연시간차검출회로는, 상기 반도체기판상에 각각 1개 배치되고, 상기 정전압발생회로는, 상기 복수의 회로블록의 각각에 균등하도록 상기 반도체기판상에 분산해서 복수배치되는 것으로 하고, 상기 복수의 정전압발생회로의 각각의 상기 지연시간차검출회로와의 사이에 각각 상기 촉진신호 및 제어신호를 전송하기 위한 2개의 신호선을 배설하는 것으로 하였다.

본 발명의 제59의 발명에서는, 상기 제1 및 제2 지연회로는, 상기 반도체기판상의 대략 중앙에 배치되는 것으로 하였다.

본 발명의 제60의 발명에서는, 상기 제1 및 제2 지연회로는, 상기 반도체기판상의 발열중심의 근처에 배치되는 것으로 하였다.

본 발명의 제1의 발명에 관한 기준전위발생회로에서는, 귀환수단을 구성하는 MOS트랜지스터의 드레인을 내부노우드라 부르기로 하면, 이 내부노우드와 출력노우드와의 사이의 전위차는, 다이오드수단을 구성하는 복수의 MOS트랜지스터의 각각의 스레슬드전압의 합계에 거의 등등하게 된다. 온도상승에 기인해서 상기 스레슬드전압이 증대하면, 내부노우드와 출력노우드와의 사이의 전위차가 증대된다. 그러나, 미에 수반해서, 귀환수단을 구성하는 MOS트랜지스터의 소오스와 게이트와의 사이에 전위차가 증대하고, 그 결과, 상기 귀환용 MOS트랜지스터의 채널저항이 저하된다. 이 때문에, 내부노우드의 전위가 내려가고, 결과적으로 출력노우드는 스레슬드전압이 변화하는 이전의 전위로 대략 유지된다. 즉, 온도변화에 기인한 스레슬드전압의 변동이 귀환수단에 의해 실효적으로 보상되고, 출력노우드의 전위의 온도의존성이 작아진다.

본 발명의 제2의 발명에 의하면, N형 MOS트랜지스터의 회로구성을 하였으므로, 예를 들면 접지선을 기준전위선으로 한 일정한 전위를 출력노우드로부터 인출할 수 있다. 본 발명의 제3의 발명에 의하면, P형 MOS트랜지스터로 회로구성을 하였으므로, 예를 들면 정(正)전위의 전원선을 기준전위선으로 한 일정한 전위를 출력노우드로부터 인출할 수 있다.

본 발명의 제4의 발명에 의하면, MOS트랜지스터의 채널저항을 부하로서 이용하였으므로, 폴리실리콘 저항이나 확산저항으로 구성된 시미트저항이 작은 저항소자를 사용하는 경우에 비해서 회로의 레이아웃면적이 축소된다.

본 발명의 제5의 발명에 의하면, 저항수단의 저항치변화를 통해서 출력노우드의 전위를 변경할 수 있다. 또, 본 발명의 제6의 발명에 의하면, 다이오드수단을 구성하는 MOS트랜지스터의 직렬개수를 바꾸므로서, 출력노우드의 전위를 변경할 수 있다.

본 발명의 제7 및 제8의 발명에 의하면, 온도의존성의 저감효과가 가장 커진다.

본 발명의 제9의 발명에 관한 정전압발생회로에서는, 상기 본 발명의 기준전위발생회로의 이용에 의해 출력선전위의 온도의존성이 작아진다. 또, 본 발명의 제10의 발명에 의하면, 기준전위발생회로중의 저항수단의 저항치변화를 통해서 정전압발생회로의 출력선전위를 변경할 수 있다. 본 발명의 제11의 발명에 의하면, 기준 전위발생회로중의 다이오드수단을 구성하는 MOS트랜지스터의 직렬개수를 바꾸므로서, 정전압발생회로의 출력선전위를 변경할 수 있다.

본 발명의 제12의 발명에 관한 정전압발생회로에서는, 제2 기준전위발생회로가 전압시프트회로로서 가능하므로, 비교회로의 동작점이 최적의 위치로 시프트되는 결과, 상기 비교회로의 정상적인 동작을 향상 보정할 수 있다. 또, 본 발명의 제13의 발명에 의하면, 출력선과 비교회로의 귀환입력과의 사이에 삽입된 콘덴서 소자의 작용에 의해 발진이 방지된다.

본 발명의 제14의 발명에 의하면, 상기 본 발명의 기준전위발생회로의 이용에 의해, 정전압발생회로의 출력선전위의 온도의존성이 작아진다. 또, 본 발명의 제15의 발명에 의하면, 제1 또는 제2 기준전위발생회로로 중의 저항수단의 저항치변화를 통해서 정전압발생회로의 출력선전위를 변경할 수 있다. 본 발명의 제16의 발명에 의하면, 제1 또는 제2 기준전위발생회로중의 다이오드 수단을 구성하는 MOS트랜지스터의 직렬개수를 바꾸므로서, 정전압발생회로의 출력선전위를 변경할 수 있다.

본 발명의 제17의 발명에 의하면, 축진신호 및 제어신호를 전달하기 위한 2개의 신호선만으로 정전압발생회로의 출력선전위를 제어할 수 있다. 또, 본 발명의 제18의 발명에 의하면, 정전압발생회로에 있어서 소비전류를 저감한 스텐드바이방식을 실현할 수 있다. 본 발명의 제19의 발명에 의하면, 정전압발생회로의 출력선전위의 초기설정이 용이해진다.

본 발명의 제20의 발명에 관한 전압레벨검출회로에서는, 제1 기준전위발생회로가 제1 피측정선과 제1 노우드와의 사이에 발생시키는 전위차와, 제2 기준전위발생회로가 제2 피측정선과 제2 노우드와의 사이에 발생시키는 전위차와의 차이에 의거해서, 소망의 전압레벨검출이 실행된다. 이때, 제1 및 제2 기준전위발생회로의 각각의 출력전위에 온도보존성이 있어서도, 미온도보존성이 소거된다.

본 발명의 제21의 발명에 의하면, 상기 본 발명의 기준전위발생회로의 이용에 의해 전압레벨검출회로의 온도의존성이 작아진다. 또, 본 발명의 제22의 발명에 의하면, 제1 또는 제2 기준전위발생회로중의 저항수단의 저항치변화를 통해서, 전압레벨검출 특성에 히스테리시스를 가지게 할 수 있다. 이에 대해서, 저항수단의 저항치변화를 통하여, 온도검출특성에 히스테리시스를 가지게 할 수 있다. 이에 의해 온도의 순간적인 흔들거림이 생겨도 상기 온도검출회로는 오동작하지 않는다. 본 발명의 제27의 발명에 의하면, 제1 또는 제2 기준전위발생회로중의 다이오드수단을 구성하는 MOS트랜지스터의 직렬개수를 바꾸므로서, 마찬가지로 전압레벨검출성이 히스테리시스를 가지게 할 수 있다.

본 발명의 제24의 발명에 관한 온도검출회로에서는, 제1 및 제2 기준전위발생회로의 사이의 온도의존성의 차이에 의거해서, 소망의 온도검출이 실행된다.

본 발명의 제25의 발명에 의하면, 온도의존성이 작은 제1 기준전위발생회로가 상기 귀환수단을 가진 본 발명의 이용에 대해서 실현되고, 온도의존성이 큰 제2 기준전위발생회로가 상기 귀환모습을 설치하지 않으면서 실현된다. 또, 본 발명의 제26의 발명에 의하면, 제1 또는 제2 기준전위발생회로중의 저항수단의 저항치변화를 통해서, 온도검출특성에 히스테리시스를 가지게 할 수 있다. 이에 의해 온도의 순간적인 흔들거림이 생겨도 상기 온도검출회로는 오동작하지 않는다. 본 발명의 제27의 발명에 의하면, 제1 또는 제2 기준전위발생회로중의 다이오드수단을 구성하는 MOS트랜지스터의 직렬개수를 바꾸므로서, 마찬가지로 온도검출특성에 히스테리시스를 가지게 할 수 있다.

본 발명의 제28의 발명에 관한 전원회로에서는, 안정화출력전압으로서의 출력선의 전위를 온도상승에 따른서 올라므로서, 상기 안정화출력전압을 전원으로하는 논리회로의 지역시간을 일정하게 유지할 수 있다. 또, 본 발명의 제29의 발명에 의하면, 상기 본 발명의 기준전위발생회로의 이용에 있어서 출력선전위의 온도의존성이 작아지고, 또한 상기 기준전위발생회로중의 저항수단의 저항치변화를 통해서 출력선전위를 변경할 수 있다. 본 발명의 제30의 발명에 의하면, 기준전위발생회로중의 다이오드수단을 구성하는 MOS트랜지스터의 직렬개수를 바꾸므로서 출력선전위를 변경할 수 있다.

또, 본 발명의 제31의 발명에 의하면, 제2 기준전위발생회로가 전압시프트회로로서 기능하므로, 비교회로의 정상적인 동작을 항상 보장할 수 있다. 또, 출력선과 비교회로의 귀환입력과의 사이에 삽입된 콘덴서의 작용에 의해 발진이 방지된다. 또한, 상기 본 발명의 기준전위발생회로의 이용에 의해 출력선전위의 온도의존성이 작아지고, 제1 또는 제2 기준전위발생회로중의 저항수단의 저항치변화를 통하여 출력선전위를 변경할 수 있다. 본 발명의 제32의 발명에 의하면, 제1 또는 제2 기준전위발생회로중의 다이오드수단을 구성하는 MOS트랜지스터의 직렬개수를 바꾸므로서 출력선전위를 변경할 수 있다.

본 발명의 제33의 발명에 의하면, 상기 본 발명의 온도검출회로의 이용에 의해 제1 및 제2 기준전위발생회로의 사이의 온도의존성의 차이에 의거해서 소망의 온도검출이 실행되고, 미온도검출의 결과에 의거해서 출력선전위가 변경된다.

본 발명의 제34의 발명에 관한 전원회로에서는 제1 및 제2 지연회로의 사이의 지역시간의 차에 의거해서 안정화출력전압으로서의 출력선의 전위를 제어하므로서, 상기 안정화출력전압을 전원으로하는 논리회로의 지역시간이 일정하게 유지된다. 또, 본 발명의 제35의 발명에 의하면, 온도의존성이 작은 제1 지연회로기 CR지연회로로서 실현된다.

본 발명의 제36의 발명에 의하면, 지역시간차검출회로로부터 출력되는 축진신호 및 억제신호를 전달하기 위한 2개의 신호선만으로 정전압발생회로의 출력전위 즉 당해전원회로의 출력선전위를 제어할 수 있다.

본 발명의 제37의 발명에 의하면, 상기 본 발명의 기준전위발생회로의 이용에 의해 출력선전위의 온도의존성이 작아지고, 또한 상기 기준전위발생회로중의 저항수단의 저항치변화를 통해서 출력선전위를 변경할 수 있다. 본 발명의 제38의 발명에 의하면, 기준전위발생회로중의 다이오드수단을 구성하는 MOS트랜지스터의 직렬개수를 바꾸므로서 출력선전위를 변경할 수 있다.

또, 본 발명의 제39의 발명에 의하면, 제2 기준전위발생회로가 전압시프트회로로서 기능하므로, 비교회로의 정상적인 동작을 항상 보증할 수 있다. 또, 출력선과 비교회로의 귀환입력과의 사이에 삽입된 콘덴서의 작용에 의해 발진이 방지된다. 또한, 상기 본 발명의 기준전위발생회로의 이용에 의해 출력선전위의 온도의존성이 작아지고, 제1 또는 제2의 기준전위발생회로중의 저항수단의 저항치변화를 통해서 출력선전위를 변경할 수 있다. 또, 본 발명의 제40의 발명에 의하면, 제1 또는 제2 기준전위발생회로중의 다이오드수단을 구성하는 MOS트랜지스터의 직렬개수를 바꾸므로서 출력선전위를 변경할 수 있다.

본 발명의 제41의 발명에 관한 반도체집적회로에서는, 제1 지연회로의 지역시간과 제2 지연회로의 지역시간과의 차를 해소하도록 정전압발생회로의 출력선전압을 제어하므로서, 상기 출력선전압을 전원으로하는 지역회로 등을 포함한 주변회로의 지역시간이 보정된다. 즉, 통상의 인버터체인으로 구성된 지역회로를 주변회로에 사용해도 그 지역시간의 온도의존성이 보정되는 결과, 상기 증래의 CR지연회로를 사용하는 경우에 비해서 주변회로의 레이아웃면적이 저감된다. 또, 본 발명의 제42의 발명에 의하면, 지역시간의

검출을 위한 특별한 펄스신호를 반도체집적회로의 외부로부터 공급할 필요가 없다.

본 발명의 제43의 발명에 의하면, 지역시간차검출회로에 의해, 제1 및 제2 지역회로의 자연시간차가 제1 및 제2 검출신호의 펄스폭의 차로 변환된다.

본 발명의 제44의 발명에 의하면, 제어회로에 의해, 제1 및 제2 검출신호의 펄스폭의 차가 소정의 논리레벨을 가진 논리신호의 수로 변환된다. 본 발명의 제45의 발명에 의하면, 정전압발생회로에 의해, 소정의 논리레벨을 가진 논리신호의 수에 따라서 출력선전압이 변경된다. 또한, 본 발명의 제45의 발명에 관한 반도체 집적회로에서는, 상기 본 발명의 기준전위발생회로의 이용에 의해 정전압발생회로의 출력선전위의 온도의존성이 적아진다.

본 발명의 제46 및 제47의 발명에 의하면, 제1의 지역회로의 출력신호와, 제2의 지역회로로부터 출력되는 서로의 사이에 위상차를 가진 제1 및 제2 출력신호의 이용에 의해, 지역시간차의 유무가 있는 범위의 불감대를 가지고 검출된다. 또한, 그 불감대의 폭은, 제2 지역회로의 제1 및 제2 출력신호의 사이의 위상차의 설정에 의해 변경된다.

본 발명의 제48 및 제49의 발명에 의하면, 플립플롭의 증폭기능과 단안정(單安定)멀티바이브레이터의 이용에 의해, 지역시간차의 유무가 고감도로 검출된다.

본 발명의 제50의 발명에 의하면, 로우디코우더의 지역특성이 워드선의 지역특성에 맞추어진다. 워드선의 지역특성은, 그 분포정수로 결정되는 CR형의 작은 온도의존성을 가진다. 한편, 로우디코우더의 본래의 지역특성은, 트랜지스터형의 큰 온도의존성을 가진다. 그래서, 온도변화에 따라서 로우디코우더의 전원전압을 세여하므로서, 로우디코우더의 지역특성을 CR형의 작은 온도의존성을 가진 지역특성으로 바꾸는 것이다. 이에 의해, 센스엠프의 활성화에 관한 타이밍마이진을 저감한 반도체 기억장치의 실현이 가능해진다.

본 발명의 제51의 발명에 관한 반도체집적회로에서는, 상기 본 발명의 전압레벨검출회로를 기판전위생성회로의 제어에 이용하였으므로, 기판전위의 온도의존성이 적아진다. 또, 본 발명의 제52의 발명에 관한 반도체집적회로에서는, 반도체기판상의 특정한 회로블록에 부여해야 할 특정전위를 생성하기 위한 특정전위생성회로의 제어에 상기 본 발명의 전압레벨검출회로를 이용하였으므로, 상기 특정전위의 온도의존성이 적아진다.

본 발명의 제53의 발명에 관한 반도체집적회로에서는 제1 및 제2 지역회로의 사이의 자연시간의 차에 의거해서 안정화출력전압으로서의 출력선의 전위를 세여하므로서, 상기 안정화출력전압을 전원으로하는 복수의 회로블록의 자연시간이 일정하게 유지된다. 이에 의해서, 신뢰성이 높은 반도체집적회로를 실현할 수 있다. 또한, 지역시간차검출회로로부터 출력되는 2개의 신호 즉, 촉진신호 및 억제신호만으로 정전압발생회로의 출력을 제어할 수 있다.

본 발명의 제54의 발명에 의하면, 상기 본 발명의 기준전위발생회로의 이용에 의해 출력선전위의 온도의존성이 적어지고, 또한 상기 기준전위발생회로의 저항수단의 저항치변화를 통해서 출력선전위를 변경할 수 있다. 본 발명의 제55의 발명에 의하면, 기준전위발생회로중의 다이오드수단을 구성하는 MOS트랜지스터의 직렬개수를 바꾸므로 출력선전위를 변경할 수 있다.

또, 본 발명의 제56의 발명에 의하면, 제2의 기준전위발생회로가 전압시프트회로로서 가능하므로, 비교회로의 정상적인 동작을 항상 보증할 수 있다. 또, 출력선과 비교회로의 귀환입력과의 사이에 삽입된 클렌서소자의 작용에 의해 발진이 방지된다. 또한, 상기 본 발명의 기준전위발생회로의 이용에 의해 출력선전위의 온도의존성이 적어지고, 제1 또는 제2의 기준전위발생회로중의 저항수단의 저항치변화를 통해서 출력선전위를 변경할 수 있다. 또, 본 발명의 제57의 발명에 의하면, 제1 또는 제2의 기준전위발생회로중의 다이오드수단을 구성하는 MOS트랜지스터의 직렬개수를 바꾸므로 출력선전위를 변경할 수 있다.

본 발명의 제58의 발명에 의하면, 복수의 회로블록의 각각에 균질하도록 각 정전압발생회로를 반도체기판상에 분산배치하였으므로, 개개의 정전압발생회로의 출력전류를 저감할 수 있다. 또한, 1개의 지역시간차검출회로로부터 출력되는 촉진신호 및 억제신호를 전달하기 위한 각각 2개의 신호선만으로, 복수의 정전압발생회로의 각각의 출력을 접촉제어할 수 있다.

본 발명의 제59의 발명에 의하면, 제1 및 제2 지역회로를 반도체기판상의 대략 중앙에 배치하였으므로, 반도체기판상의 평균적인 온도에 의거해서 각 정전압발생회로의 출력을 제어할 수 있다. 또, 촉진신호 및 억제신호의 전달을 위한 신호선을 짧게 할 수 있다.

본 발명의 제60의 발명에 의하면, 제1 및 제2의 지역회로를 반도체기판상의 말是最好的의 근처에 배치하였으므로, 온도변화를 각 정전압발생회로의 출력에 즉시 반영시킬 수 있다.

이하, 본 발명의 실시예에 대하여 첨부한 도면에 의거하여 상세히 설명한다.

#### [실시예 1]

##### 기준전위발생회로

먼저, 본 발명의 제1의 실시예인 기준전위발생회로에 대해서 제1도~제7도를 참조하면서 설명한다.

##### ① 실시예 1-1

###### (저항부하 접지전위기준형)

제1도의 구조는, 기준전위선으로서의 접지선(3)과 출력노우드(2)와의 사이에 일정한 전위치를 발생시키기 위한 회로로서, 저항수단 R, 귀환수단 F 및 다이오드수단 D를 구비한 것이다. 저항수단 R을 구성하는 저항소자(4)는, 풀리실리콘 저항이나 확산저항으로 구성된 것으로서, 전원선(1)(VCC : 외부전원전압레벨)과 출력노우드(2)와의 사이에 삽입되어 있다. 귀환수단 F를 구성하는 N형 MOSFET(5)는, 게이트가 출력노우드(2)에 접속되고, 또한 소오스가 접지선(3)(VSS : 접지전위)에 접속되어 있다. 또, 다이오드수단 D를 구성

하도록 서로 직렬접속된 다른 3개의 N형 MOSFET(6), (7), (8)는, 귀환수단 F의 N형 MOSFET(5)의 드레인과 출력노우드(2)와의 사이에 삽입되어 있다.

## ② 실시예 1-2

### (저항부하외부전원전압레벨기준형)

제2도의 구성을, 기준전위선으로서의 전원선(31)과 출력노우드(32)와의 사이에 일정한 전위차를 발생시키기 위한 회로로서, 제1도의 경우와 마찬가지로 저항수단 R, 귀환수단 F 및 다이오드수단 D를 구비한 것이다. 저항수단 R을 구성하는 저항소자(34)는, 폴리실리콘저항이나 확산저항으로 구성된 것으로서, 접지선(33)(VSS : 접지전위)과 출력노우드(32)와의 사이에 삽입되어 있다. 귀환수단 F를 구성하는 P형 MOSFET(35)는, 게이트가 출력노우드(32)에 접속되고, 또한 소오스가 전원선(31)(VCC : 외부전원전압레벨)에 접속되어 있다. 또, 다이오드수단 D를 구성하도록 서로 직렬접속된 다른 3개의 P형 MOSFET(36), (37), (38)는, 귀환수단 F의 P형 MOSFET(35)의 드레인과 출력노우드(32)와의 사이에 삽입되어 있다.

## ③ 실시예 1-3, 1-4

### (트랜지스터부하형)

제3도의 구성을, 제1도중의 저항수단 R로서, 게이트가 접지선(3)에 접속된 P형 MOSFET(9)의 채널저항을 사용한 것이다. 또, 제4도의 구성을, 제2도중의 저항수단 R로서, 게이트가 전원선(31)에 접속된 N형 MOSFET(39)의 채널저항을 사용한 것이다.

## ④ 실시예 1-5

### (출력가변형)

제5도의 구성을, 제1도의 회로에 있어서, 출력노우드(2)에 전위를 제어신호 예에 따라서 변경할 수 있도록 한 것이다. 즉, 다이오드수단 D를 구성하는 3개의 N형 MOSFET(6), (7), (8)중의 1개의 N형 MOSFET(7)의 소오드·드레인사이를 단락시키기 위한 단락수단 S를 다른 N형 MOSFET(10)로 구성되며, 그 게이트에는 제1제어입력단자(11)를 통해서 온·오프를 위한 제어신호가 부여된다. 한면, 저항수단 R은 서로 직렬접속된 4개의 저항소자(12), (13), (14), (15)를 구비하고, 이 가운데 3개의 소자(13), (14), (15)를 개별적으로 단락시키기 위한 3개의 P형 MOSFET(16), (17), (18)를 더 구비한 것이다. 이를 3개의 P형 MOSFET(16), (17), (18)의 각 게이트는, 각각 제2~제4의 제어입력단자(19), (20), (21)를 통해서 온·오프를 위한 제어신호가 부여된다.

## ⑤ 실시예 1-6

### (출력가변형)

제6도의 구성을, 제3도에 표시한 트랜지스터부하형의 회로에 있어서, 출력노우드(2)의 전위를 제어신호 C에 따라서 변경할 수 있도록 한 것이다. 즉, 다이오드수단 D를 구성하는 3개의 N형 MOSFET(6), (7), (8)중의 일부를 단락시키기 위한 다른 N형 MOSFET(10)로 구성된 단락수단 S를 설치하는 동시에, 저항수단 R를 구성하도록 전원선(1)과 출력노우드(2)와의 사이에 삽입된 P형 MOSFET(9)에 대해서 제2 및 제3의 P형 MOSFET(22), (23)를 병렬접속한 것이다. 단락수단 S를 구성하는 N형 MOSFET(10)의 게이트 및 저항수단 R중의 제2 및 제3의 P형 MOSFET(22), (23)의 각 게이트에는, 각각 제1~제3의 제어입력단자(11), (24), (25)를 통해서 온·오프를 위한 제어신호부가 부여된다.

미상과 같이 구성된 각 기준전위발생회로의 동작을 설명한다.

먼저, 제1도에 표시한 기본형을 사용해서 동작원리를 설명한다. 동 도면의 구성에 의하면, 전원선(1)으로부터 저항수단 R, 다이오드수단 D 및 귀환수단 F를 거쳐서 기준전위선으로서의 접지선(3)으로 빠지도록, 항상 작은 전류가 흐르고 있다. 여기서, 귀환수단 F를 구성하는 N형 MOSFET(5)의 드레인을 내부노우드 A라고 하면, 내부노우드 A와 출력노우드(2)와의 사이에 전위차는, 다이오드수단 D를 구성하는 3개의 N형 MOSFET(6), (7), (8)의 각각의 스레슬드전압  $V_t$ 의 합계 즉 3 $V_t$ 에 대략 등등하게 된다. 주위온도가 상승해서  $V_t$ 가 증대했다고 하면, 내부노우드 A와 출력노우드(2)와의 사이의 전위차가 증대한다. 그런데, 이에 수반해서, 귀환수단 F를 구성하는 N형 MOSFET(5)의 소오스가 게이트와의 사이의 전위차가 증대하고, 그 결과, 상기 귀환용의 N형 MOSFET(5)의 채널저항이 저하된다. 이 때문에, 내부노우드 A의 전위가 내려가고, 결과적으로 출력노우드(2)는 스레슬드전압  $V_t$ 가 변환되는 미전의 전위로 대략 유지된다. 즉, 출력노우드(2)의 전위의 온도의존성이 적아진다. 미상이 동작원리의 간단한 설명이다.

제2도의 구성을에서는, 제1도의 경우와 달리 전원선(31)을 기준전위선으로 하고 있으나 동작원리는 상기와 마찬가지이며, 전원선(31)과 출력노우드(32)와의 사이의 전위차가 스레슬드전압  $V_t$ 의 변동에 의하지 않고 일정하게 유지되게 된다. 제3도 및 제4도의 구성을, 저항수단 R으로서 MOSFET(9), (39)의 채널저항을 이용하면, 상기 폴리실리콘저항이나 확산저항으로 구성된 시이트저항의 작은저항소자를 사용하는 경우에 비해서, 회로의 레이아웃면적을 축소할 수 있다. 제5도 및 제6도의 구성을, 저항수단 R의 저항치나 다른 이오드수단 D를 구성하는 MOSFET의 직렬개수를 제어신호 C에 따라서 바꿀 수 있도록 하고, 이로써 출력노우드(2)의 전위를 변경할 수 있도록 한 것이다. 특히 제6도에 구성을 의하면, 기준 전위발생회로를 MOSFET만으로 구성할 수 있다. 단, 제6도중의 단락수단 S를 구성하는 N형 MOSFET(10)는 출력의 대강조정용이며, 저항수단 R속의 제2 및 제3의 P형 MOSFET(22), (23)는 출력의 미세조증용이다.

또한, 제1도~제6도에 표시한 각 구성에 있어서, 다이오드수단 D를 구성하는 MOSFET의 콘택턴스의 합계와 귀환수단 F를 구성하는 MOSFET의 콘택턴스가 동등할 때에 온도의존성의 저강효과가 가장 커진다. 즉, 다이오드수단 D를 구성하는 복수의 MOSFET의 각각의 채널폭을  $W_1$ , 채널길이를  $L_1$ , 직렬개수를  $N$ 으로 하고, 귀환수단 F를 구성하는 MOSFET의 채널폭을  $W_2$ , 채널길이를  $L_2$ 로 하였을 때,  $W_1L_1$ 과  $W_2L_2$ 의 비가 대략 N대 1인 경우이다.

제7도에 본 실시예에 관한 기준전위발생회로의 시뮬레이션결과를 표시한다. 본 실시예에 의해 출력전위의

온도의존성이 저감되는 것이 표시되어 있다.

### [실시예 2]

#### 정전압발생회로

다음에 본 발명의 제2의 실시예인 정전압발생회로에 대해서, 제8도~제12도를 참조하면서 설명한다.

##### ① 실시예 2-1

###### (기본형)

제8도의 구성은, 출력선(44)의 전위를 소정치로 유지하기 위한 회로로서, 제6도에 표시한 기준전위발생회로(41)에, 비교회로(42), 출력선(44)을 구동하기 위한 구동회로로서의 P형 MOSFET(43)를 부가한 것이다. 비교회로(42)는 기준전위발생회로(41)의 출력노우드(41a)의 전위와 출력선(44)의 전위를 비교하는 것으로서, 상기 비교회로(42)의 출력은 P형 MOSFET(43)의 게이트에 부여된다.

이 구성에 의하면, 예를 들면, 부하전류의 증가에 의해서 출력선(44)의 전위가 저하하려고 하면, 기준전위발생회로(41)의 출력노우드(41a)로부터의 기준전위와 출력선(44)의 전위와의 차를 비교회로(42)가 감출하고, P형 MOSFET(43)의 드레인 전류가 증대하도록 게이트전압이 제어되고, 출력전압의 저하가 방지되게 된다. 이에 의해, 출력선(44)에는 안정화된 출력전압을 얻게 된다. 또한, 제8도에 표시한 회로는, 저항수단 R 및 단락수단 S의 작용에 의해 제어신호 C에 따라서 안정화 출력전압의 설정을 변화시킬 수 있도록 되어 있다.

단, 제8도의 정전압발생회로는 다음과 같은 문제점을 가지고 있다. 즉, 발생해야 할 전압이 외부전원전압 레벨 VCC에 가까운 것임을 때, 기준전위발생회로(41)의 출력전위를 그와 같은 전압레벨로 해야하는 것이나, 이 경우는 비교회로(42)가 정상적으로 동작하지 않게 되는 것이다.

MOSFET를 사용한 비교회로(42)의 전형적인 회로구성을 제9도에 표시한다. 등도면에 있어서, (47a), (47b)는 각각 게이트에 입력전위  $V_g$ ,  $V_g$ 가 부여되는 차동 N형 MOSFET(48a), (48b)는 전류미러 P형 MOSFET(49)는 게이트에 스탠드바이신호  $V_{sb}$ 가 부여되는 공통 N형 MOSFET이다. 이 비교회로(42)의 입출력 틀성을 제10도에 표시한다. 등도면에 표시한 바와 같이, 입력전압이 전원레벨에 가까워지면, 비교회로(42)의 출력  $V_{out}$ 가 접지전위  $V_{SS}$ 까지 완전히 내려가지 않게 된다. 즉, 이 비교회로(42)는, 입력전압이 전류미러 P형 MOSFET(48a), (48b)의 스레슬드전압을 밀도는 근처로부터, 정상적인 비교동작을 행하지 않게 되는 것이다.

그래서, 비교회로(42)의 동작점을 최적의 위치로 미동시키도록 전압시프트회로를 부가한 정전압발생회로에 대해서 다음에 설명한다.

##### ② 실시예 2-2

###### (전압시프트회로부가형)

제11도의 구성은, 제8도의 회로에 콘덴서소자(45)와 전압시프트회로(46)를 부가한 것이다. 콘덴서소자(45)는, 발진방지를 위하여 출력선(44)과 비교회로(42)의 귀환입력단자와의 사이에 삽입된 것이다. 전압시프트회로(46)는, 제4도의 기준전위발생회로에 있어서 다이오드수단 D를 구성하는 복수의 P형 MOSFET의 일부를 단락시키기 위한 단락수단 S를 설치하는 동시에, 저항수단 R을 저항치기변으로 한 것이다. 단, 제4도의 기준전위발생회로에서는 전원선(31)을 기준전위선으로 하고 있었으나, 제11도의 전압시프트회로(46)에서는 입력노우드(46a)를 개재해서 출력선(44)을 기준전위선으로 하고 있다. 즉, 이전압시프트회로(46)는, 출력선(44)과 자신의 출력노우드(46b)와의 사이에 일정한 전위차를 발생시키기 위한 회로이다. 상기 기준전위발생회로(41)의 출력노우드(제1 노우드)(41a)의 전위는 비교회로(42)에 참조입력으로서 부여되는 한편, 전압시프트회로(46)의 출력노우드(제2 노우드)(46b)의 전위는 비교회로(42)에 귀환입력으로서 부여된다.

제11도의 정전압발생회로의 동작원리를 간단히 설명한다. 출력선(44)과 비교회로(42)의 귀환입력과의 사이에 상기 전압시프트회로(46)를 삽입하므로서, 비교회로(42)의 귀환입력의 전위는, 출력선(44)의 전위보다도 일정한 전압만큼 내려간점에 설정된다. 또한, 이 시프트량은, 앞에서의 기준전위발생회로의 동작 설정에서부터 명백한 바와 같이, 온도가 변화해도 변동하지 않는다. 한편, 기준전위발생회로(41)로부터 비교회로(42)에의 참조입력도 마찬가지로, 목적으로 하는 안정화 출력전압보다 약간 낮게 설정된다. 이에 의해, 비교회로(42)의 동작점을 정상적으로 동작하는 범위에 미동시킬 수 있다. 또한, 제11도에 표시한 회로는, 기준전위발생회로(41) 및 전압시프트회로(46)의 각각이 가진 저항수단 R 및 단락수단 S의 작용에 의해, 제어신호 C에 따라서 안정화 출력전압의 설정을 변화시킬 수 있도록 되어 있다.

또한, 콘덴서소자(45)는, 전압시프트회로(46)의 삽입에 의해 안정화 출력의 변화가 귀환입력의 변화로 되어서 나타나는 것이 지연되고, 그 결과 비교회로(42)와 P형 MOSFET(43)로 이루어지는 루프회로가 발전을 일으키게 되는 것을 방지하는 것이다. 즉, 변동성분만이 콘덴서소자(45)를 통과하도록 구성한 것이다.

##### ③ 실시예 2-3

###### (프로그램가능 정전압발생회로)

제11도의 정전압발생회로를 발전시킨 프로그램 가능한 정전압 발생회로를, 제12도에 표시한다. 등도면에 있어서, (51)은 본 발명의 제1의 실시예에 관한 기준전위발생회로(52)는 비교회로(53)는 구동회로로서의 P형 MOSFET(54)는 안정화전압의 출력선(55)은 콘덴서소자(56)는 전압시프트회로이다. 기준전위발생회로(51) 및 전압시프트회로(56)의 저항수단 R은, 각각 저항치가 제어신호 C에 따라서 변화하도록 구성되어 있다. 또, 상기 기준전위발생회로(51) 및 전압시프트회로(56)는 다이오드수단 D를 구성하는 복수의 MOSFET이다. 랙지스터종의 적어도 1개의 MOS트랜지스터의 소오스·드레인사이를 제어신호 C에 따라서 단락시키기 위한 단락수단 S를 각각 구비하고 있다. (57)은 기준전위발생회로(51) 및 전압시프트회로(56)에 제어신호 C를

부여하므로서 출력선(54)의 전위를 변경하기 위한 제어회로이다.

이 제어회로(57)는, 축진신호를 수취할때마다 안정화 출력전압으로서의 출력선(54)의 전위를 상승시키고, 또한 억제신호를 수취할때마다 상기 출력선(54)의 전위를 저하시키도록 제어신호 C를 생성하는 기능을 가진다. 즉, 2개의 신호선만으로 출력전압의 승강을 제어할 수 있다.

또, 미 제어회로(57)는, 스텐드바이인식단자를 통해서 스텐드바이신호를 수취하였을 경우에는, 기준전위 발생회로(51), 비교회로(52) 및 전압시프트회로(56)의 각각의 소비전류를 저감시키도록 제어신호 C를 생성하는 성능이다. 기준전위발생회로(51) 및 전압시프트회로(56)의 각각의 저항수단 R의 저항치를 최대로 세트하는 동시에, 비교회로(52)속의 팬통전류를 저감하도록 상기 회로속의 공통 N형 MOSFET(제9도 속의 (49)에 상당하는 것)를 오프시키는 것이다. 단, 비교회로(52)에의 제어신호는 도시를 생략하고 있다.

또, 미 제어회로(57)는, 리세트인식단자를 통해서 파우어온리셋신호를 수취하였을 경우에는, 출력선(54)의 전위를 디풀트치로 초기설정하도록 제어신호 C를 생성하는 기능도 가진다.

또한, 제8도의 구성의 정전압발생회로를 제12도와 같이 프로그램기능 정전압발생회로로 발전시킬 수도 있다.

### [실시예3]

#### 전압레벨검출회로

다음에, 본 발명의 제3의 실시예인 전압레벨검출회로에 대해서, 제13~제17도를 참조하면서 설명한다.

DRA4집적회로 중에서는, 상기한 바와 같이, 접지전위 VSS를 기준으로해서 외부로부터 공급되는 전원 전압 레벨 VCC 마비외, 기판바이어스레벨 VBB나 워드선승압레벨 VPP가 필요하게 된다.

#### ① 실시예 3-1

##### (VBB레벨검출회로)

제13도는, 접지전위 VSS를 기준전압레벨로 하고, 기판바이어스레벨 VBB를 피측정전압레벨로 하는 VBB레벨 검출회로의 구성예를 표시한 것이다. 등도면에 있어서(61)는, 접지선(VSS : 접지전위)과 제1 노우드(61a)와의 사이에 일정한 전위차를 발생시키기 위한 제1 기준전위발생회로로서, 제6도의 경우와 마찬가지의 저항수단 R, 커환수단 F, 다이오드수단 D 및 드란수단 S를 구비한 것이다. (62)는, 기판바이어스레벨 VBB의 피측정선과 제2 노우드(62a)와의 사이에 일정한 전위차를 발생시키기 위한 제2 기준전위발생회로로서, 역시 제6도의 경우와 마찬가지의 저항수단 R, 커환수단 F, 다이오드수단 D 및 드란수단 S를 구비한 것이다. 단, 다이오드수단 D를 구성하는 N형 MOSFET의 직렬개수는, 제2 기준전위발생회로(62)의 족을 많게 하다. 단, 주로, 이 계수의 차기 겸출하는 기판바이어스의 깊이를 결정한다. (63)은, 제1 노우드(61a)의 전위와 제2 노우드(62a)의 전위를 비교하기 위한 비교회로이다. 미 비교회로(63)의 출력은, 기판레벨검출력(∅ 1)으로서 출력단자(64)로부터 인출된다. 미 VBB 레벨검출회로는, 전압레벨검출특성이 온도에 의존하지 않는다고 하는 특징을 가지고 있다.

#### ② 실시예 3-2

##### (VPP레벨검출회로)

제14도는, 외부전원전압레벨 VCC를 기준전압레벨로 하고, 워드선승압레벨 VPP를 피측정전압레벨로 하는 VPP레벨검출회로의 구성예를 표시한 것이다. 등도면에 있어서, (65)는 전원선(VCC : 외부전원전압레벨)과 제1 노우드(65a)와의 사이에 일정한 전위차를 발생시키기 위한 제1 기준전위발생회로(66)는 워드선승압레벨 VPP의 피측정선과 제2 노우드(66a)와의 사이에 일정한 전위차를 발생시키기 위한 제2 기준전위발생회로(67)는 제1 노우드(65a)의 전위와 제2 노우드(66a)의 전위를 비교하기 위한 비교회로(68)는 출력단자(∅ 2)는 승압레벨검출출력이다. 제1 및 제2의 기준전위발생회로(65), (66)는 주로 P형 MOSFET 사용한 제4도의 구성의 변형인 점이, 제13도에 표시된 VBB레벨검출회로와는 다르다. 미 VPP레벨검출회로도, 전압레벨검출특성이 온도에 의존하지 않는다.

#### ③ 실시예 3-3, 3-4

##### (히스테리시스특성형)

제13도와 마찬가지의 구성을 가진 VBB레벨검출회로에 히스테리시스특성을 가지게한 것을 제15도에, 제14도와 마찬가지의 구성을 가진 VPP레벨검출회로에 히스테리시스특성을 가지게 한 것을 제16도에 각각 표시한다. 제1 기준전위발생회로(61), (65) 및 제2 기준전위발생회로(62), (66)는, 각각 상기저항수단 및 단락수단의 작용에 의해 제어신호 C에 따라서 자신의 출력노우드의 전위를 변경할 수 있도록 구성되어 있으며, 비교회로(63), (67)로부터의 레벨검출출력(∅ 1), (∅ 2)에 따라서 전압레벨검출특성을 변경하도록 제어신호 C를 생성하기 위한 히스테리시스 제어회로(69), (70)가 부가되어 있다.

제17도는, 제16도의 VBB레벨검출회로의 특성을 표시한 그래프이다. 제17도에 표시한 바와 같이, 히스테리시스제어회로(69)의 작용에 의해, 기판레벨검출출력(∅ 1)이 1로되는 레벨과, 0으로 복귀하는 레벨을 다른 게 할 수 있다. 이에 의해서, 겸출레벨인 기판바이어스레벨 VBB에 노이즈 등이 몰라타도 VBB레벨검출회로의 동작을 안정시킬 수 있다. 제16도의 VPP레벨검출회로도 마찬가지의 히스테리시스특성을 가지는 것이다.

#### [실시예 4]

##### 온도검출회로

다음에 본 발명의 제4의 실시예인 온도검출회로에 대해서, 제18~제22도를 참조하면서 설명한다.

## ① 실시예 4-1

### 접지전위기준형

제18도의 구성은, 주위온도가 소정의 온도에 도달했는지 어떤지를 판정하기 위한 회로로서, 제1 및 제2 기준전위발생회로(71), (72)와, 비교회로(73)를 구비한 것이다. 이중, 제1 기준전위발생회로(71)는, MOS 트랜지스터의 스레슬드전압의 변동의 영향을 완화하므로서 작은 온도의존성을 가진 전위차를 접지선(VSS : 접지전위)과 제1 노우드(71a)와의 사이에 발생시키기 위한 회로로서, 제6도의 경우와 마찬가지의 정합수단 R, 귀환수단 F, 다이오드수단 D 및 단락수단 S를 구비하고 있다. 제2 기준전위발생회로(72)는, MOS 트랜지스터의 스레슬드전압의 변동에 기인한 큰 온도의존성을 가진 전위차를 접지선(VSS : 접지전위)과 제2 노우드(72a)와의 사이에 발생시키기 위한 회로로서, 제1 기준전위발생회로(71)속의 귀환수단 F의 배설을 생략한 구성을 구비하고 있다. 즉, 제2 기준전위발생회로(72)에서는, 다이오드수단 D를 구성하는 복수의 N형 MOSFET로 이루어지는 직렬회로의 일부분이 접지선에 직렬되어 있다. 비교회로(73)는, 제1 노우드(71a)의 전위와 제2 노우드(72a)의 전위를 비교하기 위한 회로로서, 그 출력은 출력단자(74)를 통해서 인출된다.

제1 기준전위발생회로(71)의 출력, 즉, 제1 노우드(71a)의 전위는, 상기한 바와 같이 주위온도가 바뀌어도 변화하지 않는다. 다른 한편, 제2 기준전위발생회로(72)는 온도의존성을 억제하기 위한 귀환수단 F를 가지고 있지 않으므로, 제2 노우드(72a)의 전위는 주위온도에 따라서 변화한다. 즉, 온도가 변화에감에 따라서 제1 및 제2 노우드(71a), (72a)의 사이의 전위차가 증대하게 된다. 이것을 비교회로(73)에서 검출하고, 그 출력을 가지고 온도검출로하는 것이다.

## ② 실시예 4-2

### (외부전원전압레벨기준형)

제19도는, 온도검출회로의 다른 구성예를 표시한 것이다. 등도면에 있어서, (75)는 작은 온도의존성을 가진 전위차를 전원선(VCC : 외부전원전압레벨)과 제1 노우드(75a)와의 사이에 발생시키기 위한 제1 기준전위발생회로, (76)은 큰 온도의존성을 가진 전위차를 전원선(VCC : 외부전원전압레벨)과 제2 노우드(76a)와의 사이에 발생시키기 위한 제2 기준전위발생회로(77)는 제1 노우드(75a)의 전위와 제2 노우드(76a)의 전위를 비교하기 위한 비교회로, (78)은 출력단자이다. 제18도의 경우와 마찬가지로, 제1 및 제2 기준전위발생회로(75), (76)중 제1 기준전위발생회로(75)에만 귀환수단 F를 설치하고 있다. 제1 및 제2 기준전위발생회로(75), (76)는, 주로 P형 MOSFET를 사용한 제4도의 구성의 변형인정이 제18도의 경우와 다르나, 동작원리는 마찬가지이다.

## ③ 실시예 4-3, 4-4

### (히스테리시스특성형)

제18도 및 제19도의 온도검출회로에 히스테리시스특성을 가지게한 것을, 제20도 및 제21도에 각각 표시한다. 제1 기준전위발생회로(71), (75) 및 제2 기준전위발생회로(72), (76)는, 각각 상기 저항수단 및 단락수단의 작용에 의해 제어신호 C에 따라서 자신의 출력노우드의 전위를 변경할 수 있도록 구성되어 있으며, 비교회로(73), (77)로부터의 온도검출출력에 따라서 온도검출특성을 변경하도록 제어신호 C를 생성하기 위한 히스테리시스제어회로(79), (80)가 부가되어 있다.

제22도는, 제20도의 온도검출회로의 특성을 표시한 그래프이다. 제22도에 표시한 바와 같이, 히스테리시스제어회로(79)의 작용에 의해, 온도검출출력이 1로 되는 온도 t1과, 0으로 복귀하는 온도 t0를 다르게 할 수 있다. 이에 의해, 온도의 순간적인 흔들거림이 발생해도 상기 온도검출회로는 오동작하지 않는다. 제21도의 온도검출회로도 마찬가지의 히스테리시스특성을 가진 것이다.

## [실시예 5]

### 액티브전압제어방식의 전원회로

다음에, 본 발명의 제5도의 실시예인 액티브전압제어방식의 전원회로에 대해서 제23도 ~ 제25도를 참조하면서 설명된다.

증례의 전원회로방식에서는 주위온도가 변해도 출력전압이 변화하지 않는다고하는 것을 목표로 해왔다. 그런데, 반도체집적회로상의 논리회로는, 일반적으로 온도가 상승하면 동작이 자연되어 버린다. 본 실시예에 관한 액티브전압제어방식은, 온도가 상승했을 때에, 논리회로의 동작을 자연시키지 않도록 그 전원전압을 둘려주려고 하는 것이다.

## ① 실시예 5-1, 5-2

### (온도제어형)

제23의 전원회로는, 상기 저항수단 및 단락수단의 작용에 의해 제어신호 C에 따라서 출력선(44)의 전위를 변경할 수 있도록 구성된 제8도의 정전압발생회로(81a)를 채용하고, 상기 제어신호 C를 생성하기 위한 제어회로(81b)를 그 정전압발생회로(81a)에 부가한 것은 프로그램가능정전압발생회로(82)로 하고, 제어회로(81b)를 온도검출회로(83)의 출력에 따라서 동작시키는 구성을 채용한 것이다. 또, 제24도의 전원회로는, 마찬가지로 제어신호 C에 따라서 출력선(44)의 전위를 변경할 수 있도록 구성된 제11도의 정전압발생회로(84a)를 채용하고, 상기 제어신호 C를 생성하기 위한 제어회로(84b)를, 그 정전압발생회로(84a)에 부가한 것을 프로그램가능정전압발생회로(85)로 하고, 제어회로(84b)를 온도검출회로(86)의 출력에 따라서 동작시키는 구성을 채용한 것이다. 온도검출회로(83), (86)로서, 제18~제21도의 구성을 채용할 수 있다.

제 23도 및 제24도의 전원회로는, 모두 온도상승에 따라서 출력선(44)의 전위를 상승시키도록, 온도검출회로(83), (86)에 의해 검출된 온도에 따라서 제어회로(81b), (84b)로부터 정전압발생회로(81a), (84a)에 의 제어신호 C를 생성하는 것이다. 단, 절성적인 경향을 맞추려고 하는 것으로서, 온도가 상승하였을 때에 전원전압을 어느 정도 상승시켜야 하는지 명확한 지침이 없다. 이점을 개량한 것이, 다음에 설명하는

지연시간제어형의 액티브전압제어방식이다.

## ② 실시예 5-3

### (지연시간제어형)

제25도의 전원회로는, 제23도중의 프로그램 가능정전압발생회로(82)를 제어하기 위한 온도검출회로(83)를, 펄스발생회로(91), 제1지연회로(92), 제2지연회로(93) 및 지연시간차검출회로(94)로 이루어지는 액티브 전압제어회로(95)로 치환한 것이다.

펄스발생회로(91)는, 시스템클록(DRAM에 있어서서의 RAS 등)이나 내부리플래시신호 등을 분주(分周)해서 펄스신호를 생성하고, 이 펄스신호를 제1 및 제2지연회로(92), (93)에 각각 공급하기 위한 회로이다. 제1지연회로(92)는, 펄스신호의 지연시간의 온도의존성이 작은 지연회로로서, 예를 들면 저항소자와 콘덴서 소자로 결정되는 시정수를 지연에 이용한 것이다. 온도의존성이 작은 제1지연회로(92)의 예로서, 상기 증래의 CR지연회로를 볼 수 있다. 제2지연회로(93)는, 기준온도(실온)에 있어서의 펄스신호의 지연시간이 제1지연회로(92)와 일치하도록 설정된 온도모니터로서의 논리게이트를 가진 것이다. 여기서 논리게이트란, DRAM의 주변회로에서 사용되고 있는 NAND 게이트 등의 일반적인 논리회로를 지칭하고 있다. 지연시간차검출회로(94)는, 제1지연회로(92)의 지연시간과 제2지연회로(93)의 지연시간과의 차를 검출하기 위한 회로로서, 제2지연회로(93)의 지연시간이 제1지연회로(92)의 지연시간보다 크게 되었을 경우에는 출진신호를 출력하고, 제2지연회로(93)의 지연시간이 제1지연회로(92)의 지연시간보다 작아졌을 경우에는 억제신호를 출력하는 기능을 가진 것이다.

프로그램 가능정전압발생회로(82)는, 상기 저항수단 및 단락수단의 작용에 의해 제어신호 C에 따라서 출력노우드(41a)의 전위를 변경하고, 이로써 안정화출력전압으로서의 출력선(44)의 전위를 변경할 수 있도록 구성된 기준전위발생회로(41)를 구비하고 있으며, 지연시간차검출회로(94)로부터의 축진신호를 수취할 때마다 상기 출력선(44)의 전위를 저하시키는 기능을 가진다. 또한 적어도 제2지연회로(93)에는, 프로그램 가능정전압발생회로(82)로부터 예를 들면 내부강압레벨 vint로서 출력되는 출력선(44)상의 안정화전압이 전원으로서 공급되고 있다.

다음에, 이상의 구성을 가진 제25도의 전원회로의 동작을 설명한다. 온도가 상승하면 제2지연회로(93)에 있어서의 지연시간이 증대된다. 이에 대해서 온도의존성이 작은 제1지연회로(92)는 지연시간이 그다지 증대하지 않는다. 그 때문에, 2개의 지연회로(92), (93)의 지연시간의 사이에 차가 발생한다. 이것을 지연시간차검출회로(94)가 검출하고, 출력선(44)의 전위를 상승시키도록 축진신호를 프로그램 가능정전압발생회로(82)에 보내게 된다. 이 축진신호는, 펄스발생회로(91)에서 펄스신호가 발생할 때마다 보내진다. 이에 대해서 출력선(44)의 전위 vint가 상승하고, 그것을 전원으로 하고 있는 제2지연회로(33)의 지연시간의 증대가 소거되게 된다.

반대로 제2지연회로(93)에 있어서의 지연시간보다 작아지면, 안정화출력전압 vint를 저하시킨다. 이를 일련의 동작에 의해서, 제2지연회로(93)의 지연시간이 제1지연회로(92)의 지연시간에 대략 등등하게 되도록 출력선(44)상의 안정화출력전압 vint가 조정되고, 결과로서 상기 전압 vint를 전원으로 하고 있는 도시하지 않는 다수의 논리회로의 지연시간이 각각 일정하게 유지하게 되는 것이다. 이와 같은 액티브전압제어형의 전원회로를 사용하면서, 나중에 설명하는 바와 같이, 신뢰성이 높은 반도체집적회로를 실현할 수 있다.

또한, 제24도중의 프로그램 가능정전압발생회로(85)를 제어하기 위한 온도검출회로(86)를, 제25도의 경우 와 마찬가지의 펄스발생회로, 제1 및 제2지연회로 및 지연시간차검출회로로 치환해도 된다.

### [실시예 6]

#### 반도체집적회로

다음에, 본 발명의 제6의 실시예인 반도체집적회로에 대해서, 제26~제39도를 참조하면서 설명한다.

##### ① 실시예 6-1

###### (지연시간보정회로를 구비한 반도체집적회로 : 논리곱형의 지연시간차검출회로)

제26도의 구성은, 제25도의 전원회로기술을 반도체집적회로에 응용한 것이다. 제26도중에서 (101)~(106)으로 표시되는 회로블록은, 제25도중의 펄스발생회로(91), 온도의존성이 작은 제1지연회로(92), 논리게이트로 구성된 제2지연회로(93), 지연시간차검출회로(94), 제대회로(81b) 및 정전압발생회로(106)의 출력전압 vint가 제2지연회로(103) 및 주변회로(107)에 각각 전원전압으로서 공급된다. 주변회로(107)는 지연회로를 구비하고 있으며, 이 지연회로는 각각 P형 및 N형의 2개의 MOSFET만으로 구성된 복수단의 인버터로 이루어지는 통상의 인버터체인으로 구성되어 있다. 각 인버터에는, 정전압발생회로(106)의 출력전압 vint가 각각 전원전압으로서 공급되고 있다.

이 구성에 의하면, 제1지연회로(102)의 지연시간  $t_{11}$ 과 제2지연회로(103)의 지연시간  $t_{22}$ 의 차가 인지되지 않을 때까지 정전압발생회로(106)의 출력전압 vint를 변경하므로써, 이 전압을 전원으로 한 주변회로(107)중의 인버터체인의 지연시간이 보정된다. 즉, 통상의 인버터체인으로 구성된 지연회로를 주변회로(107)에 사용하고 있는데도 불구하고 이 지연회로에 작은 온도의존성의 지역특성을 실현할 수 있어, 상기 증래의 CR지연회로를 사용하는 경우에 대해서 주변회로(107)의 레이아웃면적이 저감된다. 또한, 펄스발생회로(101)의 온도특성이 문제가 되는 경우에는, 온도의존성이 작은 외부로부터의 펄스신호를 직접 제1 및 제2지연회로(102), (103)에 입력해도 된다.

다음에, 제26도중의 지연시간차검출회로(104), 제어회로(105) 및 정전압발생회로(106)의 상세한 구성에 대해서 순차적으로 설명한다.

제27도에 지연시간과 검출회로(104)의 구성을 표시한다. 제1지연회로(102)의 출력신호 S1과 제2지연회로(103)의 출력신호 S2를 입력신호로 하는 지연시간차검출회로(104)는, 제1지연회로부(111a), (111b)와, 제1NAND회로(112a), (112b)와, 제2NAND회로(113a), (113b)와, 제3NAND회로(114)와, 제2지연회로부

(115a), (115b)와, 제4NAND회로(116a), (116b)에 의해서 구성되어 있다. 제1지연회로부(111a), (111b)는, 각각 입력신호 S1, S2를 지연시키기 위한 서로 동일수이고 또한 흡수단( 단段 )의 인버터에 의해서 구성된 것이다. 제1NAND회로(112a), (112b)는, 입력신호 S1, S2와, 제1지연회로부(111a), (111b)의 출력신호를 각각 입력으로 한다. 제2NAND회로(113a), (113b)는, 입력신호 S1, S2와, 제1NAND회로(112a), (112b)의 출력신호 S3, S4를 각각 반전시킨 신호를 각각 입력으로 한다. 제3NAND회로(114)는, 제2NAND회로(113a), (113b)의 출력신호 S5, S6를 각각 반전시킨 신호를 각각 입력으로 한다. 제2지연회로부(115a), (115b)는, 각각 제3NAND회로(114)의 입력신호를 지연시키기 위한 서로 동일수이고 또한 짹수단의 인버터에 의해서 구성된 것이다. 제4NAND회로(116a), (116b)로부터, 각각 제1 및 제2검출신호 S8, S9가 상기 측진신호 및 역제신호로서 출력된다.

제28a~i)에,  $\tau_1 \sim \tau_2$ 의 경우의 지연시간차검출회로(104)의 동작파형도를 표시한다. 제1지연회로부(111a), (111b) 및 제1NAND회로(112a), (112b)에 의해서, 입력신호 S1, S2의 각각으로부터 서로 동일 펠스폭을 가진 S3, S4는, 제2NAND회로(113a), (113b)에 의해서, 하강타이밍이 일치한 신호 S5, S6으로 바뀌어 진다. 제3NAND회로(114)는, S5, S6중의 펠스폭이 작은 쪽의 신호를 S7로서 선택한다. 제4NAND회로(116a), (116b)는, S7을 근거로해서 제1 및 제2검출신호 S8, S9를 출력한다. 이때, 제2지연회로(103)의 지연시간  $\tau_2$ 가 제1지연회로(102)의 지연시간  $\tau_1$ 보다 크다는 것을 반영해서 제2검출신호 S9의 펠스폭이 제1검출신호 S8의 펠스폭보다 크게되고, 또한 그 펠스폭의 차  $\Delta\tau$ 는 입력신호 S1, S2의 지연시간차  $\delta$ 에 비례한다. 단, 상기 제1 및 제2검출신호 S8, S9의 상승타이밍은 일치하고 있다.

반대로, `vint` 경우에는, 도시를 생략하거나, 동일 시각에 상승하는 제1 및 제2검출신호  $S_8$ ,  $S_9$ 가 자연 시간차검출회로(104)로부터 출력되고, 또한 제2검출신호  $S_9$ 의 펠스폭이 제1검출신호  $S_8$ 의 펠스폭보다 작게 된다. 후술하는 바와 같이, 제2검출신호  $S_9$ 의 펠스폭이 큰 경우에는 정전압발생회로(106)의 출력전 `val vint`을 상승시키도록, 제1검출신호  $S_8$ 의 펠스폭이 큰 경우에는 상기 `vint`를 저하시키도록 작용하는 것이다.

제29도에 제마회로(105)의 구성을 표시한다. 지역시간차검출회로(104)로부터의 제1 및 제2검출신호 S8, S9에 추가해서 LOAD신호 및 RESET신호를 입력신호로하는 제마회로(105)는, M단(段)의 쌍방향시프트레지스터로서 구성되어 있다. 이 시프트레지스터의 각단은, 제1 및 제2래치회로(121), (122)와, 각각 N형 MOSFET으로 구성되어 있다. 이 시프트레지스터의 각단은, 제1~제4수위청소자(123)는, 제1래치회로(121)의 출력쪽과, 제1~제4수위청소자(123)를 구비하고 있다. 제1수위청소자(123)는, 제1래치회로(121)의 출력쪽과, 제2래치회로(122)의 입력쪽과의 사이에 개재하고, 게이트에 LOAD신호가 인가된다. 제2수위청소자(124)는, 제1래치회로(121)의 입력쪽과 인접하단의 제2래치회로(122)의 출력쪽과의 사이에 개재하고, 게이트에 제1래치회로(121)의 입력쪽과 인접상단의 제2래치회로(122)의 출력신호 S80이 인가된다. 제3수위청소자(125)는, 제1래치회로(121)의 입력쪽과의 인접상단의 제2래치회로(122)의 출력쪽과의 사이에 개재하고, 게이트에 제2검출신호 S9가 인가된다. 제4수위청소자(126)는, 위절(122)의 출력쪽과의 사이에 개재하고, 게이트에 제2검출신호 S9가 인가된다. 제1래치회로(121)의 입력쪽과 전원선(VCC : 외부전원전압레벨)과의 사이에, 아래절반의 단단에서는 제1래치회로(121)의 입력쪽과 점지선(YSS : 점지전위)과의 사이에 각각 개재하고, 게이트에 RESET신호가 인가된다.

이 구성에 의하면, 먼저 RESET신호에 의해 전체단의 제4스위칭소자(124)가 열리고, 또 LOAD신호의 펄스에 의해 전체단의 제1스위칭소자(123)가 열린다. 이에 의해 전체단의 제1 및 제2래치회로(121), (122)의 초기 설정이 행해지고, 위절반의 단의 제2래치회로(122)로부터는 High의 논리신호가, 아래절반의 단의 래치회로(122)에 융합된 삼각형의 논리신호는, 정전압발생회로(106)에의 제어신호 C의 초기신호가 된다.

RESET신호의 해제후, 자연시간차검출회로(104)로부터 상승타이밍이 일치한 제1 및 제2검출신호 S8, S9가 공급된다. 이때, 예를 들면 제28h도 및 1도에 표시한 바와 같이  $\tau_1 \sim \tau_2$ 인 것을 반영해서 제2검출신호 S9의 폴스폭이 제1검출신호 S8의 폴스폭보다 크게 되어 있는 경우에는, 제1검출신호 S8의 측미 먼저 LOAD상태로 천이하므로, 웨일절반의 단증의 최하단의 제28자회로(122)의 출력력이 LOAD의 논리신호로 바뀌어진다. 즉,  $\tau_1 \sim \tau_2$ 인 경우에는, LOAD신호의 폴스가 순차적으로 공급됨에 따라서, 제어신호 C를 구성하는 2개의 논리신호중의 LOAD신호의 수가 증가해간다. 반대로,  $\tau_1 \sim \tau_2$ 의 경우에는, High의 논리신호의 수가 증가해간다.

제30도에 정전압발생회로(106)의 구성을 표시한다. 제마회로(105)로부터의 제어신호 C를 입력신호로 하는 정전압발생회로(106)는, 제8도의 구성과 마찬가지로, 기준전위발생회로(131)와, 비교회로(132)와, 구동회로(133)를 구비하고 있으며, 출력선(134)의 전위(Vint : 내부광일레벨)를 제어신호 A에 따라서 변경할 수 있도록 구성되어 있다. 기준전위발생회로(131)는, 기준전위선으로서의 절지선과 출력노우드(131a)와의 사이에 일정한 전위차를 발생시키기 위한 히터로로서, 저항수단 R, 귀환수단 F 및 다이오드수단 D를 구비한 것이다. 저항수단 R을 구성하도록 서로 직렬접속된 M개의 저항소자는, 전원선(VCC : 외부전원전압레벨)과 출력노우드(131a)와의 사이에 삽입되어 있다. 또한, 저항소자의 양단자사이를 단락할 수 있도록 그 각각에 P형 제어신호 D를 구성하는 M개의 논리신호가 각각 인가된다. 귀환수단 F를 구성하는 N형 MOSFET는, 게이트가 출력노우드(131a)에 접속되고, 또한 소오스가 절지선(VSS : 절지전위)에 접속되어 있다. 또, 다이오드수단 D를 구성하도록 서로 직렬접속된 다른 3개의 N형 MOSFET은, 귀환수단 F의 N형 MOSFET의 드레인과 출력노우드(131a)와의 사이에 삽입되어 있다. 비교회로(132)는 전류미터형의 자동증폭기로서 2개의 P형 MOSFET와 2개의 N형 MOSFET로 구성되어 있으며, 기준전위발생회로(131)의 출력노우드(131a)의 전위와 출력선(134)의 전위를 비교한다. 출력선(134)을 구동하기 위한 구동회로(133)는, 비교회로(132)의 출력이 게이트에 이가되며 P형 MOSFET와, 노멀리온의 N형 MOSFET로 구성되어 있다.

이 구성에 의하면,  $t_1 \sim t_2$ 인 것을 반영해서 제머회로(105)로부터의 제어신호 C중의 LOW의 논리신호의 수가 증가하면, 기준전위발생회로(131)의 출력노우드(131a)의 전위가 상승하는 결과, 제2지연회로(103)의 지연시간  $t_2$ 를 크게하도록 출력전압 Vint가 상승한다. 반대로  $t_1 \sim t_2$ 의 경우에는, High의 논리신호의 수가 증가함으로서, 제2지연회로(103)의 지연시간  $t_2$ 를 크게하도록 출력전압 Vint가 저하된다. 즉, 제1 및 제2의 지연회로(101, 103)의 지연시간차를 해소하도록 출력전압 Vint이 변경되는 것이다.

### ② 실시예 6-2

(지역시가보정회로를 구비한 반도체집적회로 : 논리합형의 자연시간차검출회로)

제31도의 규정은 제1지역회로로부터 출령되는 1개의 신호와, 제2지역회로로부터 출령되는 서로의 사이에

위상차를 가진 2개의 신호를 이용해서 지연시간차의 유무를 검출하는 것이다. 둘도면에 있어서, (141)는 펄스발생회로, (142)는 제1지연회로, (143)은 제2지연회로, (144)는 지연시간차검출회로, (146)은 정전압발생회로, (147)은 주변회로로서, 제26도중의 (101)~(107)로 표시되는 회로블록에 각각 상당한다.

제2의 지연회로(143)는, (n+2)단 또는 201상의 단수의 인버터로 이루어지는 통상의 인버터체인으로 구성되어 있다. 이중 기준신호로서의 n단짜의 인버터의 출력신호 T4로 제2지연회로(143)의 지연시간  $\tau_2$ 가 규정되어 있으며, 기준온도에 있어서의 지연시간  $\tau_2$ 가 제1지연회로(142)의 지연시간  $\tau_1$ 과 일치하도록, 제1 및 제2지연회로(142), (143)의 각각의 지연특성의 온도의존성이 설정되어 있다. 제1지연회로(142)로부터는 1개의 출력신호 T1만이 인출되는데 대해서, 제2지연회로(143)로부터는 (n-2)단짜의 인버터의 출력신호 T2(보조출력신호)와, (n+1)단짜의 인버터의 출력신호 T3(제1출력신호)와, (n+1)단짜의 인버터의 출력신호 T5(제2출력신호)의 3개의 신호가 출력된다.

지연시간차 검출회로(144)는, 3입력의 NOR회로(151)와, 제1인버터(152)와, 제1래치회로(153)와, N형 MOSFET로 구성된 제1스위칭소자(154)와, NAND회로(155)와, 제2인버터(156)와, P형 MOSFET로 구성된 제2스위칭소자(157)와, 제2래치회로(158)를 구비하고 있다. NOR회로(151)는 제1지연회로(142)의 출력신호 T1과, 제2지연회로(143)의 제1 및 제2 출력신호 T3, T5를 입력신호로 한다. 제1인버터(152)는, NOR회로(151)의 출력신호로 제1래치회로(153)의 입력쪽에 공급한다. 제1스위칭소자(154)는, 제1래치회로(153)의 출력쪽과 접지선과의 사이에 개재해 있으며, 상기 제1래치회로(153)를 초기화하도록 게이트에 제2지연회로(143)의 제2 출력신호 T5가 인가된다. NAND회로(155)는, 제1래치회로(153)의 출력신호와, 제2지연회로(143)의 보조출력신호 T2를 제2인버터(156)에서 반전시킨 신호를 입력신호로 해서, 제1지연회로(142)의 지연시간  $\tau_1$ 과 제2지연회로(143)의 지연시간  $\tau_2$ 와의 차의 유무를 표시하는 제1검출신호 T6을 출력하는 것이다. 제2스위칭소자(157)는, 제1지연회로(142)의 출력쪽과 제2래치회로(158)의 사이에 개재하고 있으며, 게이트에 제2지연회로(143)로부터의 보조출력신호 T2가 인가된다. 제2래치회로(158)는, 제1 및 제2지연회로(142), (143)중의 어느 한쪽의 지연시간이 큰지를 표시하는 제2검출신호 T7을 출력하는 것이다. 이상의 구성을 구비한 지연시간차검출회로(144)로부터 출력되는 제1 및 제2검출신호 T6, T7은, 상기 측진신호 및 억제신호로서 제어회로(145)에 공급된다.

제32a~g도에  $\tau_1 \sim \tau_2$ 의 경우의 지연시간차검출신호(144)의 동작파형도를 표시한다. 제33a~g도는,  $\tau_1 \sim \tau_2$ 의 경우의 마찬가지의 도면이다. 먼저, 제1래치회로(153)의 출력은, 제2지연회로(143)의 제2출력신호 T5로 되므로서 제1스위칭소자(154)가 온상태가 된 시점에서, L<sub>0</sub>로 초기화된다. 이 결과, 제1검출신호 T6은 High가 된다. 제1지연회로(142)의 출력신호 T1과 제2지연회로(143)의 제1 및 제2출력신호 T3, T5가 동시에 L<sub>0</sub>로 되는 기간이 있는 경우에는, NOR회로(151)에 의해 제1지연회로(142)의 지연시간  $\tau_1$ 과 제2지연시간(143)이 지연시간  $\tau_2$ 와의 사이에 차가 있는 것으로 인식되는 결과, 제1래치회로(153)의 출력이 L<sub>0</sub>에서부터 High로 천미한다. 따라서, 제32f 및 제33f도에 표시한 바와 같이, 제1검출신호 T6이 L<sub>0</sub>에 천미한다. 이와 같이 해서 일단 L<sub>0</sub>에서의 천미가 발생한 제1검출신호 T6은, 제2검출신호 T5가 High L<sub>0</sub>에 천미하면서 제1스위칭소자(154)가 재자 온상태로 될때까지, 제1래치회로(153)에 의해 L<sub>0</sub>상태로 유지된다. NOR회로(151)의 3개의 입력신호 T1, T3, T5가 동시에 L<sub>0</sub>로 되는 일이 없는 경우에는, 제1검출신호 T6은, 한번도 L<sub>0</sub>로 천미하는 일이 없이 High상태로 유지된다.

한편, 제32 및 b도에 표시한 바와 같이 제2지연회로(143)의 보조출력신호 T2가 High에서부터 L<sub>0</sub>로 천미하였을때에 제1지연회로(142)의 출력신호 T1이 High상태이면, 제2래치회로(158)은, 제2지연회로(143)의 지연시간  $\tau_2$ 가 제1지연회로(142)의 지연시간  $\tau_1$ 보다 작다( $\tau_1 > \tau_2$ )라는 판정을 제어회로(145)에 알리도록, 제2검출신호 T7을 L<sub>0</sub>로 설정한다. 이것과는 반대로, 제33a 및 b도에 표시한 바와 같이 보조출력신호 T2가 High에서부터 L<sub>0</sub>로 천미하였을때에 제1지연회로(142)의 출력신호 T1이 L<sub>0</sub>상태이면,  $\tau_1 > \tau_2$ 인 것을 표시하도록 제2검출신호 T7이 High로 설정된다.

제어회로(145)는, 제1검출신호 T8으로서 L<sub>0</sub>의 펄스를 수취하였을때의 제2검출신호 T7이  $\tau_1 > \tau_2$ 를 표시하는 L<sub>0</sub>상태이면, 정전압발생회로(146)에 출력전압 V<sub>int</sub>를 저하시키도록 제어신호 C를 출력한다. 또, 제1검출신호 T6으로서 L<sub>0</sub>의 펄스를 수취하였을때에 제2검출신호 T7이  $\tau_1 > \tau_2$ 를 표시하는 High 상태이면, 출력전압 V<sub>int</sub>를 변경하므로써 상기 전압을 전원으로한 주변회로(147)의 지연시간이 보정된다.

제31도의 구성에 의하면, 제2지연회로(143)중의 (n-1)단짜의 인버터의 출력신호 T3과, (n+1)단짜의 인버터의 출력신호 T5를 각각 제1지연회로(142)의 출력신호 T1에 대한 참조신호로서 이용하였으므로, 어떤 범위의 불감대를 가지고 지연시간차의 유무가 검출된다. 이 결과, 정전압발생회로(146)의 출력전압 V<sub>int</sub>의 흔들거림을 방지할 수 있다. 또한, 불감대의 폭은, 제2지연회로(143)으로부터의 2개의 참조신호의 수축법에 따라, 일의로 변경가능하다. 또 제2스위칭소자(157)의 온·오프제어에 사용되는 보조출력신호는, 제1검출신호 T6의 펄스출력타이밍으로 제2검출신호 T7의 논리레벨을 설정할 수 있는한, (n-2)단짜의 인버터의 T2에 한정되지 않는다.

### ③ 실시예 6-3

(지연시간보정회로를 구비한 반도체집적회로 : 플립플롭형의 지연시간차검출회로)

제34도의 구성은, 제1지연회로로부터 출력되는 1개의 신호와, 제2지연회로로부터 출력되는 다른 1개의 신호를 이용하여 지연시간차의 유무를 검출하는 것이다. 둘도면에 있어서, (161)은 펄스발생회로, (162)는 제1지연회로, (163)은 제2지연회로, (164)는 지연시간차검출회로, (165)는 제어회로, (116)은 정전압발생회로, (167)은 주변회로로서, 제26도중의 (101)~(107)로 표시되는 회로블록에 각각 상당한다.

지연시간차검출회로(164)는, 풀립플롭(168)과, 단안정 멀티바이브레이터(169)를 구비하고 있다. 풀립플롭(168)은, 2개의 NAND회로로 구성되어 있으며, 제1 및 제2지연회로(162), (163)의 각각의 출력신호 U1, U2를 입력신호로해서 제1 및 제2지연회로(162), (163)중의 어느 한쪽의 지연시간이 큰지를 표시하는 제1검출신호 U3을 출력하는 것이다. 단안정 멀티바이브레이터(169)는, 2개의 NOR회로와 3개의 인버터로 구성되어 있으며, 제1 및 제2지연회로(162), (163)의 각각의 출력신호 U1, U2를 입력신호로해서, 제1지연회로(142)의 지연시간  $\tau_1$ 과 제2지연회로(143)의 지연시간  $\tau_2$ 와의 차의 유무를 표시하는 제2검출신호 U4를 출력하는 것이다. 이와 같은 구성을 갖춘 지연시간차검출회로(164)로부터 출력되는 제1 및 제2검출신호 U3, U4, 상

기 측진신호 및 제어신호로서 제어회로(165)에 공급된다.

제35a~d도에  $\tau_1 \sim \tau_2$ 의 경우의 지연시간검출회로(164)의 동작파형도를 표시한다. 제36a~d도는,  $\tau_1 \sim \tau_2$ 의 경우와 마찬가지의 도면이다. 2개의 입력신호 U1, U2가 다같이 L0에일때에는, 플립플롭(168)에 의해, 제1검출신호 U30이 High상태로 된다. 제35a 및 b도에 표시한 바와 같이 U2가 U1보다 빨리 High로 천미하였을 경우에는, 이 시점에서는 제1검출신호 U30이 High상태를 유지한다. 이것과는 반대로 제36a 및 b도에 표시한 바와 같이 U1이 U2보다 빨리 High로 천미하였을 경우에는, 플립플롭(168)의 증폭기능에 의해, 이 시점에서 제1검출신호 U30이 L0으로 급속히 천미한다. 한편, 단안정 멀티바이브레이터(169)는, 제어회로(165)의 활성화의 타이밍을 결정하도록, 2개의 입력신호 U1, U2중 빨리 High 천미한 쪽의 신호의 상승시점에서부터 일정폭의 High의 펄스신호를 제2검출신호 U4로서 발생시킨다. 즉, 제34도의 지연시간검출회로(164)의 구조에 의하면, 플립플롭(168)과 단안정 멀티바이브레이터(169)와의 이용에 의해, 제1 및 제2지연회로(162), (163)의 미소한 지연시간차를 검출할 수 있다.

제어회로(165)는, 제2검출신호 U4로서 High의 펄스를 수취하였을 때에 제1검출신호 U30이  $\tau_1 \sim \tau_2$ 를 표시하는 High상태이면, 정전압발생회로(166)에 출력전압 Vint를 저하시키도록 제어신호 C를 출력한다. 또, 제2검출신호 U4로서, High의 펄스를 수취하였을 때의 제1검출신호 U30이  $\tau_1 \sim \tau_2$ 를 표시하는 L0상태이면, 출력전압 Vint를 상승시키게 하는 제어신호 C가 출력된다. 지연시간차가 없기 때문에 제2검출신호 U4가 L0상태로 보존되어 있는 경우에는, 출력전압 Vint의 변경이 정지된다. 이와 같이 해서 제1지연회로(162)의 지연시간  $\tau_1$ 과 제2지연회로(163)의 지연시간  $\tau_2$ 의 차기 인자되지 않을 때까지 정전압발생회로(166)의 출력전압 Vint를 변경하므로, 상기 전압을 전원으로한 주변회로(167)의 지연시간이 보정된다.

#### ④ 실시예 6-4

(지연시간보정회로를 구비한 반도체집적회로 : 링오시레이터에의 응용사례)

제37의 구조은, 주변회로중의 링오시레이터의 지연을 온도변화에 따라서 보정한 예를 표시한 것이다. 등도면에 있어서, (171)은 펠스발생회로, (175)는 제어회로, (176)은 정전압발생회로, (177)은 주변회로로서, 제26도중의 (101)~(107)로 표시되는 회로를 볼록에 각각 상당한다. 단, 제37도의 반도체집적회로중의 주변회로(177)는, 4계통의 링오시레이터를 구비하고 있다. 정전압발생회로(176)의 출력전압 Vint는, 제2지연회로(173) 및 각 리오시레이터에 각각 전원전압으로서 공급된다.

각 링오시레이터는, 2입력의 NAND회로(178a)~(178b)와, 통상의 인버터체인으로 구성된 지연회로부(179a)~(179b)를 구비하고 있다. 단, 제1링오시레이터의 지연회로부(179a)는 8단, 제2링오시레이터의 지연회로부(179b)는 6단, 제3링오시레이터의 지연회로부(179c)는 4단, 제4링오시레이터의 지연회로부(179d)는 2단의 인버터로 이루어진다. 즉, 각 지연회로부(179a)~(179b)는, 서로 다른 지연시간을 가지고 있다. 각 지연회로부(179a)~(179b)에는 NAND회로(178a)~(178d)를 개재해서 입력펄스신호가 부여된다. 또, 각 지연회로부(179a)~(179b)의 출력은, NAND회로(178a)~(178d)를 개재해서 상기 지연회로부(179a)~(179d)에 피아드된다. 이와 같이 해서 구성된 4계통의 링오시레이터의 출력펄스신호의 주파수는, 각 f, 4/3f, 2f, 4f이다.

이 구조에 의하면, 주변회로(177)중의 4계통의 링오시레이터의 각각에 전원전압으로서 공급되는 정전압발생회로(176)의 출력전압 Vint가 온도변화에 따라서 제어되므로, 각 링오시레이터의 주요부를 구성하는 지연회로부(179a)~(179d)의 지연시간이 보정되는 결과, 통상의 인버터체인을 사용하고 있음에도 불구하고, 각 링오시레이터의 출력주파수의 온도의존성이 저감된다.

#### ⑤ 실시예 6-5

(지연시간 보정회로를 구비한 반도체집적회로 : DRAM에의 응용사례)

제38도의 구조은, DRAM중의 로우디코우더 및 타이밍회로의 각각의 지연을 온도변화에 따라서 보정한 예를 표시한 것이다. 등도면에 있어서, (181)은 펠스발생회로, (182)는 제1지연회로, (183)은 제2지연회로, (184)는 지연시간검출회로, (815)는 제어회로, (186)은 정전압발생회로, (187)은 주변회로로서, 제26도중의 (101)~(107)로 표시되는 회로를 볼록에 각각 상당한다. 단, 제38도의 반도체집적회로는, 워드선과 비트선이 교차하는 위치에 각각 메모리셀을 구비하고 있으며, 주변회로(187)는, 로우디코우더(188), 타이밍회로(189) 및 센스앰프(190)를 가진다. 로우디코우더(188)은 워드선을 개재해서 메모리셀을 선택하기 위한 논리게이트를 구비한 것이다. 센스앰프(190)는, 로우디코우더(188)에 의해 선택된 메모리셀로부터 비트선상에 퍼득되는 미소전위를 증폭하기 위한 회로이다. 타이밍회로(188)는, 센스앰프(190)에의 활성화신호를 출력하는 타이밍을 조정하기 위한 회로로서, 통상의 인버터체인으로 구성되어 있다. 정전압발생회로(186)의 출력전압 Vint는, 제2지연회로(183), 로우디코우더(188)의 각 논리게이트 및 타이밍회로(189)의 각 인버터에 각각 전원전압으로서 공급된다.

이 구조에 의하면, 로우디코우더(188)의 지연특성이 워드선의 지연특성에 맞추어진다. 워드선의 지연특성은, 2분포점수로 결정되는 대형의 작은 온도의존성을 가진다. 한편, 본래의 로우디코우더의 지연특성은 트랜지스터형의 큰 온도의존성을 가진다. 따라서, 종래는 타이밍마다 진을 고려해서 타이밍회로의 지연시간을 큼으로 설정할 필요가 있어, 메모리셀의 액세스속도가 세안을 받고 있었다. 그런데, 제38도의 구조에 의하면, 예를 들면 상기 종래의 CR지연회로로 구성된 제1지연회로(182)의 지연시간과, 로우디코우더(188)와 마찬가지로 논리게이트로 구성된 제2지연회로(183)의 지연시간과의 차를 해소하도록 정전압발생회로(186)의 출력전압 Vint가 제어되고, 이 출력전압 Vint가 로우디코우더(188)에 전원전압으로서 공급되므로, 로우디코우더(188)의 지연특성이 워드선과 마찬가지로 대형의 작은 온도의존성을 가진 지연특성으로 바꾸어진다. 따라서, 타이밍회로(189)의 지연시간을 작은 값으로 설정해도 센스앰프(190)의 활성화타이밍에 지장이 발생하는 일은 없으며, 메모리셀의 고속접근이 가능해 진다.

또, 제38도의 구조에 의하면, 주변회로(187)중의 타이밍회로(189)에도 정전압발생회로(186)의 출력전압 Vint가 전원전압으로서 공급되어 있으므로, 통상의 인버터체인으로 구성된 타이밍회로(186)의 지연특성의 온도의존성이 저감된다. 따라서, 타이밍회로에 상기 종래의 CR지연회로를 사용하는 경우와 동등한 효과를 얻으면서, 주변회로(187)의 레이아웃면적을 작게 할 수 있다.

또한, 정전압발생회로(186)의 출력전압 Vint를 제2지연회로(183) 및 주변회로(187)중의 로우디코우더(188)에만 전원전압으로서 공급하도록해도, 타이밍회로(189)의 지연시간을 단축하는 것은 가능하다. 이와 같이 지역시간보정회로의 출력전압 Vint의 주변회로(187)에의 공급을 로우디코우더(188)의 본분에 한정하면, 반도체집적회로 전체의 소비전류의 증가를 억제하면서 메모리셀의 고속접근을 실현할 수 있다.

#### ⑥ 실시예 6-6

##### (다전원의 반도체집적회로)

제39도의 구성은, 내부에 복수의 전압레벨의 전원을 필요로하는 DRAM등의 반도체 칩의 예를 표시한 것이다. 둘도면에 있어서, VPP발생회로(211), (212)는, 외부로부터 공급되는 전원전압의 레벨 VCC와 전지전위 VSS에 의거하여 워드선 승압레벨 VPP의 전압을 생성하고, 이것을 반도체 기판상의 특정한 회로블록(201), (203)에 공급하기 위한 회로이다. VBB발생회로(211), (222)는, 기판바이어스레벨 VBB의 전압을 생성하고, 이것을 반도체 기판에 공급하기 위한 회로이다. 단, 이를 VPP발생회로(211), (212) 및 VBB발생회로(221), (222)는, 그다지 큰 출력전류를 필요로하지 않는다. 이에 대해서 반도체 기판상의 모든 회로블록(201)~(204)에 공통적으로 공급해하기 위한 회로이다. 각 Vint발생회로(231)~(234)는, 각 회로블록에 근접하도록 반도체기판상에 분산배치되어 있다. 개개의 Vint 발생회로(231)~(234)의 출력전유를 저감하기 위해서이다. 각 Vint발생회로(231)~(234)는, 상기 프로그램가능 전압발생회로의 구성(제12도의 구성, 혹은, 제23도~제25도중의 (82) 또는 (85)로 표시된 구성)을 가진 것이다.

반도체기판상의 대략 중앙에 배치된 중앙제어회로(200)는 다음의 3개의 기능을 가지고 있다.

제1의 기능은, VPP레벨검출회로로서의 기능이다. 중앙제어회로(200)는, 워드선승압레벨 VPP를 감시하기 위한 제16도 또는 제16도의 구성을 구비하고 있으며, 상기 워드선승압레벨이 소정의 레벨보다 낮아졌을 때에는 승압레벨검출출력 2를 출력하므로서 VPP발생회로(211), (212)를 동작시키고, 충분한 레벨이 있을 때는 그 동작을 정지시킨다.

제2의 기능은, VBB레벨검출회로로서의 기능이다. 중앙제어회로(200)는, 기판바이어스레벨 VBB를 감시하기 위한 제13도 또는 제15도의 구성을 구비하고 있으며, 상기 레벨의 높고 낮음에 따라서 기판레벨검출출력의 1을 출력하므로서 VBB발생회로(221), (222)를 동작한다.

제3의 기능은, 제25도중의 액티브전압제어회로(95)의 기능이다. 즉, 중앙제어회로(200)는, 상기 펄스발생회로(91), 제1지연회로(92), 제2지연회로(93) 및 지역시간차검출회로(94)의 구성을 구비하고 있다. 그리고, 복수의 Vint발생회로(231)~(234)와 중앙제어회로(200)와의 사이에는, 각각 촉진신호와 억제신호를 전송하기 위한 2개의 신호선이 배설되며 있다. 이에 있어서, 온도가 상승하였을 때, 그것에 따른 적절한 내부강압레벨 Vint를 설정하기 위한 신호가, 반도체 기판상에 분산배치된 Vint발생회로(231)~(234)에 소수의 신호선에 의해서 전송된다. 또한, 중앙제어회로(200)에 의해 반도체 기판상의 평균적인 온도에 의거해서 각 Vint발생회로(231)~(234)의 출력을 제어할 수 있다. 또, 촉진신호 및 억제신호의 전송을 위한 신호선을 짧게 할 수 있다.

또한, 중앙제어회로(200)를 반도체 기판상의 발열중심의 근처에 배치하면, 온도변화를 Vint발생회로(231)~(234)의 출력에 즉시로 반영시킬 수 있다. 단, 각 전압레벨의 전원선은, 상호 접속되어 있어도 없어도 특별히 문제는 없다.

미상 설명해온 바와 같이, 본 발명의 제1의 발명에 관한 기준전위발생회로에 의하면, 온도변화에 기인한 스레슬드전압의 변동을 극복수단에 의해 실효적으로 보상하는 구성을 채용하였으므로, 당해 기준전위발생회로의 출력전위의 온도의존성이 작아진다. 본 발명의 제2의 발명에 의하면, P형 MOS트랜지스터로 회로구성을 하였으므로, 예를 들면 절지선을 기준전위선으로 한 일정한 전위를 출력노우드로부터 인출할 수 있다. 본 발명의 제3의 발명에 의하면, P형 MOS트랜지스터로 회로구성을 하였으므로, 예를 들면 정(正)전위의 전원선을 기준전위선으로 한 일정한 전위를 출력노우드로부터 인출할 수 있다. 본 발명의 제4의 발명에 의하면, MOS트랜지스터의 채널저항을 부하로해서 이용하였으므로, 회로의 레이아웃면적을 작게 할 수 있다. 본 발명의 제5의 발명에 의하면, 저항수단의 저항치변화를 통하여 출력노우드의 전위를 변경할 수 있다. 본 발명의 제6의 발명에 의하면, 다이오드수단을 구성하는 MOS트랜지스터의 직렬개수를 바꾸므로서 출력노우드의 전위를 변경할 수 있다. 본 발명의 제7 및 제8의 발명에 의하면, 온도의존성의 저감효과를 최대로 할 수 있다.

본 발명의 제9의 발명에 관한 정전압발생회로에 의하면, 상기 본 발명의 기준전위발생회로의 이용에 의해 당해 정전압발생회로의 출력선전위의 온도의존성이 작아진다. 본 발명의 제10의 발명에 의하면, 기준전위발생회로중의 저항수단의 저항치변화를 통해서 출력선전위를 변경할 수 있다. 본 발명의 제11의 발명에 의하면, 기준전위발생회로중의 다이오드수단을 구성하는 MOS트랜지스터의 직렬개수를 바꾸므로서 출력선전위를 변경할 수 있다.

본 발명의 제12의 발명에 관한 정전압발생회로에 의하면, 제2기준전위발생회로로서 기능하므로, 비교회로의 정상적인 동작을 항상 보장할 수 있다. 본 발명의 제13의 발명에 의하면, 출력선과 비교회로의 귀환입력과의 사이에 삽입된 콘덴서소자의 작용에 의해 발진이 방지된다. 본 발명의 제14의 발명에 의하면, 상기 본 발명의 기준전위발생회로의 이용에 의해 정전압발생회로의 출력선전위의 온도의존성이 작아진다. 본 발명의 제15의 발명에 의하면, 제1 또는 제2기준전위발생회로중의 저항수단의 저항치변화를 통해서 출력선전위를 변경할 수 있다. 본 발명의 제16의 발명에 의하면, 제1 또는 제2기준전위발생회로중의 다이오드수단을 구성하는 MOS트랜지스터의 직렬개수를 바꾸므로서 출력선전위를 변경할 수 있다. 본 발명의 제17의 발명에 의하면, 촉진신호 및 억제신호를 전송하기 위한 2개의 신호선만으로 출력선전위를 제어할 수 있다. 본 발명의 제18의 발명에 의하면, 정전압발생회로에 있어서 소비전류를 저감한 스탠드바이 방식을 실현할 수 있다. 본 발명의 제19의 발명에 의하면, 정전압발생회로의 출력선전위의 초기설정이 용이해진다.

본 발명의 제20의 발명에 관한 정압레벨검출회로에 의하면, 제1 및 제2기준전위발생회로의 각각의 출력전위에 온도의존성이 있어도 미 온도의존성이 소거되므로, 전압레벨검출출력의 온도의존성이 작아진다. 본

발명의 제21의 발명에 의하면, 상기 본 발명의 기준전위발생회로의 이용에 의해 전압레벨검출출력의 온도의존성이 작아진다. 본 발명의 제22의 발명에 의하면, 제1 또는 제2기준전위발생회로중의 저항수단의 저항치변화를 통해서 전압레벨검출 특성에 히스테리시스를 가지게 할 수 있어, 전압레벨검출회로의 동작이 안정화된다. 본 발명의 제23의 발명에 의하면, 제1 또는 제2기준전위발생회로중의 다이오드수단을 구성하는 MOS트랜지스터의 직렬개수를 바꾸므로서, 마찬가지로 전압레벨검출 특성에 히스테리시스를 가지게 할 수 있다.

본 발명의 제24의 발명에 관한 온도검출회로에 의하면, 제1 및 제2기준전위발생회로의 사이의 온도의존성이 차이에 의거해서 소망의 온도검출이 실행된다. 본 발명의 제25의 발명에 의하면, 온도의존성이 작은 제1기준전위발생회로가 상기 귀환수단을 가진 본 발명의 이용에 대해서 실현되고, 온도의존성이 큰 제2기준전위발생회로가 상기 귀환수단을 설치하지 않으므로서 실현된다. 본 발명의 제26의 발명에 의하면, 제1 또는 제2기준전위발생회로중의 저항수단의 저항치변화를 통해서 온도검출특성에 히스테리시스를 가지게 할 수 있어, 온도검출회로의 동작이 안정화된다. 본 발명의 제27의 발명에 의하면, 제1 또는 제2기준전위발생회로중의 다이오드수단을 구성하는 MOS트랜지스터의 직렬개수를 바꾸므로서, 마찬가지로 온도검출특성에 히스테리시스를 가지게 할 수 있다.

본 발명의 제28에 관한 전원회로에 의하면, 안정화출력전압으로서의 출력선의 전위를 온도상승에 따라서 올리드로서, 상기 안정화출력전압을 전원으로하는 논리회로의 자연시간을 일정하게 유지할 수 있다. 본 발명의 제29 및 제30의 발명에 의하면, 상기 본 발명의 기준전위발생회로의 이용에 의해 출력선전위의 온도의존성이 작게되고, 또한 가변의 출력선전위를 얻을 수 있다. 본 발명의 제31 및 제32의 발명에 의하면, 비교회로의 정상적인 동작을 항상 보증할 수 있는 동시에, 가변의 출력선전위를 얻을 수 있다. 본 발명의 제33의 발명에 의하면, 상기 본 발명의 온도검출회로의 이용에 의해 제1 및 제2기준전위발생회로의 사이의 온도의존성이 차이에 의거해서 소망의 온도검출이 실행되고, 이 온도검출의 결과에 의거해서 출력선전위가 변경된다.

본 발명의 제34에 관한 전원회로에 의하면, 제1 및 제2지연회로의 사이의 자연시간의 차에 의거해서 안정화 출력전압으로서의 출력선의 전위를 제어하므로서, 상기 안정화 출력전압을 전원으로하는 논리회로의 자연시간을 일정하게 유지할 수 있다. 본 발명의 제35의 발명에 의하면, 온도의존성이 작은 제1지연회로가 CR지연회로로서 실현된다. 본 발명의 제36의 발명에 의하면, 자연시간검출회로로부터 출력되는 축진신호 및 억제신호를 전송하기 위한 2개의 신호선만으로 출력선전위를 제어할 수 있다. 본 발명의 제37 및 제38의 발명에 의하면, 상기 본 발명의 기준전위발생회로의 이용에 의해 출력선전위의 온도의존성이 작아지고, 또한 가변의 출력선전위를 얻을 수 있다. 본 발명의 제39 및 제40의 발명에 의하면, 비교회로의 정상적인 동작을 항상 보증할 수 있는 동시에, 가변의 출력선전위를 얻을 수 있다.

본 발명의 제41의 발명에 관한 반도체집적회로에 의하면, 제1지연회로의 자연시간과 제2지연회로의 자연시간과의 차를 해소하도록 정전압발생회로의 출력선전압을 제어하므로서, 주변회로의 자연시간의 변동이 그 전원전압의 자동제어를 통해서 실효적으로 보상된다. 즉, 통상의 인버터체인으로 구성된 자연회로를 주변회로에 사용해도 그 자연시간의 온도의존성이 보정되는 결과, 상기 종래의 CR지연회로를 사용하는 경우에 비해서 주변회로의 레이아웃면적이 저감된다. 또, 본 발명의 제42의 발명에 의하면, 자연시간차의 검출을 위한 특별한 펄스신호를 반도체집적회로의 외부로부터 공급할 필요가 없다. 본 발명의 제43-제45의 발명에 의하면, 제1 및 제2지연회로의 자연시간차가 펄스폭의 차로 변환되고, 이 펄스폭의 차가 소정의 논리레벨을 가진 논리신호의 수로 변환되고, 상기 논리신호의 수에 따라서 정전압발생회로의 출력선전압이 변경된다. 또한, 정전압발생회로에 있어서의 상기 본 발명의 기준전위발생회로의 이용에 의해, 그 출력선전위의 온도의존성이 작아진다. 본 발명의 제46 및 제47의 발명에 의하면, 제1 및 제2지연회로의 자연시간차의 유무가 어떤 범위의 불감대를 가지고 검출되므로, 정전압발생회로의 출력전압의 흔들거림을 방지할 수 있다. 본 발명의 제48 및 제49의 발명에 의하면, 제1 및 제2지연회로의 미소한 자연시간차를 검출할 수 있다. 본 발명의 제50의 발명에 의하면, 로우디코우더의 자연특성이 워드선의 자연특성에 맞추어지는 결과, 센스앰프의 활성화에 관한 타이밍마아진을 저감한 고속접근이 가능한 반도체 기억장치를 실현할 수 있다.

본 발명의 제51의 발명에 관한 반도체집적회로에 의하면, 상기 본 발명의 전압레벨검출회로를 기판전위생성회로의 제어에 이용하였으므로, 기판전위의 온도의존성이 작아진다. 또, 본 발명의 제52의 발명에 관한 반도체집적회로에 의하면, 반도체기판상의 특정의 회로블록에 부여해야 할 특정전위를 생성하기 위한 특정전위생성회로의 제어에 상기 본 발명의 전압레벨검출회로를 이용하였으므로, 상기 특정전위의 온도의존성이 작아진다.

본 발명의 제53의 발명에 관한 반도체집적회로에 의하면, 제1 및 제2지연회로의 사이의 자연시간의 차에 의거해서 안정화 출력전압으로서의 출력선의 전위를 제어하므로서, 상기 안정화 출력전압을 전원으로하는 복수의 회로블록의 자연시간이 일정하게 유지된다. 이에 대해서, 신뢰성이 높은 반도체집적회로를 실현할 수 있다. 본 발명의 제54 및 제55의 발명에 의하면, 상기 본 발명의 기준전위발생회로의 이용에 의해 출력선전위의 온도의존성이 작게되고, 또한 가변의 출력선전위를 얻을 수 있다. 본 발명의 제56 및 제57의 발명에 의하면, 비교회로의 정상적인 동작을 항상 보증할 수 있는 동시에, 가변의 출력선전위를 얻을 수 있다. 본 발명의 제58의 발명에 의하면, 복수의 회로블록의 각각에 근접하도록 각 정전압발생회로를 반도체기판상에 분산배치하였으므로, 개개 정전압발생회로의 출력전류를 저감시킬 수 있다. 또한, 1개의 자연시간차 검출회로로부터 출력되는 축진신호 및 억제신호를 전송하기 위한 각각 2개의 신호선만으로, 복수의 정전압발생회로의 각각의 출력을 집중제어할 수 있다. 본 발명의 제59의 발명에 의하면, 제1 및 제2지연회로를 반도체기판상의 대략 중앙에 배치하였으므로, 반도체기판상의 평균적인 온도에 의거해서 각 정전압발생회로의 출력력을 제어할 수 있다. 또, 축진신호 및 억제신호의 전송을 위한 신호선을 짧게 할 수 있다. 본 발명의 제60의 발명에 의하면, 제1 및 제2지연회로를 반도체기판상의 빙글중심의 근처에 배치하였으므로, 온도변화를 각 정전압발생회로의 출력이 즉시로 반영시킬 수 있다.

#### (57) 성구의 쟁위

**청구항 1**

서로의 사이에 직류전압이 인가되는 제1 및 제2전압공급선주의 기준전위선으로서의 제1전압공급선과 출력노우드와의 사이에 일정한 전위차를 발생시키므로서 상기 출력노우드에 일정한 전위를 발생시키기 위한 기준전위발생회로로서, 상기 제2전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단을 구비한 것을 특징으로하는 기준전위발생회로.

**청구항 2**

제1항에 있어서, 상기 귀환수단 및 다이오드수단의 각 MOS트랜지스터는, 모두 N형 MOS트랜지스터이고, 상기 제1전압공급선은, 상기 제2전압공급선보다 저전위로 유지되는 것을 특징으로하는 기준전위발생회로.

**청구항 3**

제1항에 있어서, 상기 귀환수단 및 다이오드수단의 각 MOS트랜지스터는, 모두 P형 MOS트랜지스터이고, 상기 제1전압공급선은, 상기 제2전압공급선보다 전위로 유지되는 것을 특징으로하는 기준전위발생회로.

**청구항 4**

제1항에 있어서, 상기 저항수단은 MOS트랜지스터의 채널저항으로 구성되어 것을 특징으로하는 기준전위발생회로.

**청구항 5**

제1항에 있어서, 상기 저항수단은, 저항치가 제어신호에 따라서 변화하도록 구성되어 있는 것을 특징으로 하는 기준전위발생회로.

**청구항 6**

제1항에 있어서, 상기 저항수단은 MOS트랜지스터의 채널저항으로 구성되어 것을 특징으로하는 기준전위발생회로.

**청구항 7**

제1항에 있어서, 상기 귀환수단 및 다이오드수단의 각 MOS트랜지스터는, 상기 다이오드수단의 복수의 MOS트랜지스터의 각각의 콘덕턴스의 합계와 상기 귀환수단의 MOS트랜지스터의 콘덕턴스가 소정의 동작조건하에 대략 동등하게 되도록 설정된 것을 특징으로하는 기준전위발생회로.

**청구항 8**

제1항에 있어서, 상기 귀환수단 및 다이오드수단의 각 MOS트랜지스터는, 상기 다이오드수단의 복수의 MOS트랜지스터의 각각의 채널폭을  $\#1$ , 채널길이를  $L1$ , 직렬개수를  $N$ 로 하고, 상기 귀환수단의 MOS트랜지스터의 채널폭을  $\#2$ , 채널길이를  $L2$ 로 하였을 때,  $\#1/L1$ 과  $\#2/L2$ 와의 비가 대략 NCH 101 되도록 설정된 것을 특징으로하는 기준전위발생회로.

**청구항 9**

출력선의 전위를 소정치로 유지하기 위한 정전압발생회로로서, 서로의 사이에 직류전압이 인가되는 제1 및 제2전압공급선주의 기준전위선으로서의 제1전압공급선과 출력노우드와의 사이에, 일정한 전위차를 발생시키기 위한 기준전위발생회로와, 상기 기준전위발생회로의 출력노우드의 전위와 상기 출력선의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로를 구비하고, 상기 기준전위발생회로는, 상기 제2전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다수 복수의 MOS트랜지스터로 구성된 다이오드수단을 구비한 것을 특징으로하는 정전압발생회로.

**청구항 10**

제9항에 있어서, 상기 저항수단은 저항치가 제어신호에 따라서 변화하도록 구성되어 있고, 또한 상기 저항수단으로서 제어신호를 생성하므로서 안정화 출력전압으로서의 상기 출력선의 전위를 변경하기 위한 제어회로를 더 구비한 것을 특징으로하는 정전압발생회로.

**청구항 11**

제9항에 있어서, 상기 다이오드수단의 복수의 MOS트랜지스터의 적어도 1개의 MOS트랜지스터의 소오스·드레인사이클 제어신호에 따라서 단락시키기 위한 단락수단과, 상기 단락수단으로의 제어신호를 생성하므로서 안정화 출력전압으로서의 상기 출력선의 전위를 변경하기 위한 제어회로를 더 구비한 것을 특징으로하는 정전압발생회로.

**청구항 12**

출력선의 전위를 소정치로 유지하기 위한 정전압발생회로로서, 제1기준전위선과 제1노우드와의 사이에 일정한 전위차를 발생시키기 위한 제1기준전위발생회로와, 제2기준전위선과 제2노우드와의 사이에 일정한 전위차를 발생시키기 위한 제2기준전위발생회로와, 상기 제1노우드의 전위와 상기 제2노우드의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로를 구비하고, 상기 기준전위발생회로는, 상기 제2기준전위발생회로에 접속된 저항수단과, 서로 직렬접속되고 또한 상기 저항수단의 드레인과 상기 출력노우드와의 사이에 삽입된 다수 복수의 MOS트랜지스터로 구성된 다이오드수단을 구비한 것을 특징으로하는 정전압발생회로.

로를 구비하고, 상기 출력선은 미 출력선의 전위가 상기 제2기준전위선에 부여되도록 상기 제2기준전위발생회로에 결선된 것을 특징으로하는 정전압발생회로.

#### 청구항 13

제1항에 있어서, 상기 출력선과 상기 제2노우드와의 사이에 삽입된 콘덴서소자를 더구비한 것을 특징으로하는 정전압발생회로.

#### 청구항 14

제1항에 있어서, 상기 제1 및 제2기준전위발생회로중의 적어도 한쪽은, 서로의 사이에 직류전압이 인가되는 제1 및 제2전압공급선중의 상기 제1 또는 제2기준전위선으로서의 제1전압공급선과 상기 제1 또는 제2노우드로서 출력노우드와의 사이에 일정한 전위차를 발생시키도록, 상기 제2전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1의 전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단을 구비한 것을 특징으로하는 정전압발생회로.

#### 청구항 15

제14항에 있어서, 상기 저항수단은 저항치가 제어신호에 따라서 변화하도록 구성되어 있고, 또한 상기 저항수단에의 제어신호를 생성하므로서 안정화출력전압으로서의 상기 출력선의 전위를 변경하기 위한 제어회로를 더구비한 것을 특징으로하는 정전압발생회로.

#### 청구항 16

제14항에 있어서, 상기 다이오드수단의 복수의 MOS트랜지스터의 적어도 1개의 MOS트랜지스터의 소오스 드레인사이를 제어신호에 따라서 단락시키기위한 단락수단과, 상기 단락수단으로의 제어신호를 생성하므로서 안정화출력전압으로서의 상기 출력선의 전위를 변경하기 위한 제어회로를 더구비한 것을 특징으로하는 정전압발생회로.

#### 청구항 17

제14항에 있어서, 상기 제1 및 제2기준전위발생회로중의 적어도 한쪽은 제어신호에 따라서 상기 출력노우드의 전위를 변경할 수 있도록 구성되어 있고, 또한 축진신호를 수취할때마다 안정화출력전압으로서의 상기 출력선의 전위를 상승시키고 또한 억제신호를 수취할때마다 상기 출력선의 전위를 저하시키도록 상기 제어신호를 생성하기 위한 제어회로를 더구비한 것을 특징으로하는 정전압발생회로.

#### 청구항 18

제14항에 있어서, 스탠드바이신호를 수취하였을 경우에는 상기 제1기준전위발생회로, 제2기준전위발생회로 및 비교회로의 각각의 소비전류를 저감시키기 위한 제어회로를 더구비한 것을 특징으로하는 정전압발생회로.

#### 청구항 19

제14항에 있어서, 상기 제1 및 제2기준전위발생회로중의 적어도 한쪽은 제어신호에 따라서 상기 출력노우드의 전위를 변경할 수 있도록 구성되어 있고, 또한 리세트신호를 수취하였을 경우에는 안정화출력전압으로서의 상기 출력선의 전위를 디폴트치로 설정하도록 상기 제어신호를 생성하기 위한 제어회로를 더구비한 것을 특징으로하는 정전압발생회로.

#### 청구항 20

제1피측정선의 기준전압레벨과 제2피측정선의 피측정전압레벨과의 대소관계를 판정하기 위한 전압레벨검출회로로서, 상기 제1피측정선과 제1노우드와의 사이에 일정한 전위차를 발생시키기 위한 제1기준전위발생회로와, 상기 제2피측정선과 제2노우드와의 사이에 일정한 전위차를 발생시키기 위한 제2기준전위발생회로와, 상기 제1노우드의 전위와 상기 제2노우드의 전위를 비교하기 위한 비교회로를 구비한 것을 특징으로하는 전압레벨검출회로.

#### 청구항 21

제20항에 있어서, 상기 제1 및 제2기준전위발생회로의 각각은, 서로의 사이에 직류전압이 인가되는 제1 및 제2전압공급선중의 상기 제1 또는 제2피측정선으로서의 제1전압공급선과 상기 제1 또는 제2노우드로서의 출력노우드와의 사이에 일정한 전위차를 발생시키도록, 상기 제2전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단을 구비한 것들 특징으로하는 전압레벨검출회로.

#### 청구항 22

제21항에 있어서, 상기 제1 및 제2기준전위발생회로중의 어느한쪽의 상기 저항수단은 저항치가 제어신호에 따라서 변화하도록 구성되어 있고, 또한 상기 비교회로의 출력에 따라서 상기 제어신호를 생성하므로 전압레벨검출특성에 히스테리시스를 가지게하기 위한 제어회로를 것을 특징으로하는 전압레벨검출회로.

#### 청구항 23

제21항에 있어서, 상기 제1 및 제2기준전위발생회로중의 어느한쪽의 상기 다이오드수단의 복수의 MOS트랜지스터중의 적어도 1개의 MOS트랜지스터의 소오스 드레인사이를 제어신호를 따라서 단락시키기 위한 단

락수단과, 상기 비교회로의 출력에 따라서 상기 단락수단에의 제어신호를 생성하므로서, 전압레벨검출특성에 히스테리시스를 가지게 하기 위한 제어회로를, 더구비한 것을 특징으로하는 전압레벨검출회로.

#### 청구항 24

주위온도가 소정의 온도에 도달하였는지 어떤지를 판정하기 위한 온도검출회로로서, MOS트랜지스터의 스레슬드전압의 변동의 영향을 완화하면서 작은 온도의존성을 가진 전위차를 제1기준전위선과 제1노우드와의 사이에 발생시키기 위한 제1기준전위발생회로와, MOS트랜지스터의 스레슬드전압의 변동에 기인한 큰 온도의존성을 가진 전위차를 제2기준전위선과 제2노우드와의 사이에 발생시키기 위한 제2기준전위발생회로와, 상기 제1노우드의 전위와 상기 제2노우드의 전위를 비교하기 위한 비교회로를 구비한 것을 특징으로하는 온도검출회로.

#### 청구항 25

제24항에 있어서, 상기 제1기준전위발생회로는, 서로의 사이에 직류전압이 인가되는 제1 및 제2전압공급선의 상기 제1기준전위선으로서의 제1전압공급선과 상기 제1노우드와의 사이에 작은 온도의존성을 가진 전위차를 발생시키도록, 상기 제2전압공급선과 상기 제1노우드와의 사이에 삽입된 제1저항수단과, 게이트가 상기 제1노우드에 접속되고 또한 소오스가 상기 제1전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터로 구성된 제1다이오드수단을 구비하고, 상기 제2기준전위발생회로는, 서로의 사이에 직류전압이 인가되는 제3 및 제4전압공급선의 상기 제2기준전위선으로서의 제3전압공급선과 상기 제2노우드와의 사이에 큰 온도의존성을 가진 전위차를 발생시키도록, 상기 제4전압공급선과 상기 제2노우드와의 사이에 삽입된 제2저항수단과, 서로 직렬접속되고, 또한 일단부가 상기 제2노우드에 접속되고 탄단부가 상기 제3전압공급선에 직결된 다른 복수의 MOS트랜지스터로 구성된 제2다이오드수단을 구비한 것을 특징으로하는 온도검출회로.

#### 청구항 26

제25항에 있어서, 상기 제1 및 제2저항수단중의 적어도 한쪽은 저항치가 제어신호에 따라서 변화하도록 구성되어 있고, 또한 상기 비교회로의 출력에 따라서 상기 제어신호를 생성하므로서 온도검출특성에 히스테리시스를 가지게 하기 위한 제어회로를 더구비한 것을 특징으로하는 온도검출회로.

#### 청구항 27

제25항에 있어서, 상기 제1 및 제2다이오드수단의 각각의 복수의 MOS트랜지스터중의 적어도 1개의 MOS트랜지스터의 소오스·드레인사이를 제어신호에 따라서 단락시키기 위한 단락수단과, 상기 비교회로의 출력에 따라서 상기 단락수단에의 제어신호를 생성하므로서 온도검출특성에 히스테리시스를 가지게 하기 위한 제어회로를, 구비한 것을 특징으로하는 온도검출회로.

#### 청구항 28

논리회로의 전원으로서 사용되는 안정화출력전압으로서의 출력선의 전위를 온도상승에 따라서 올리므로서 상기 논리회로의 지연시간을 일정하게 유지하기 위한 전원회로로서, 온도를 검출하기 위한 온도검출회로와, 온도상승에 따라서 상기 출력선의 전위를 올리도록, 상기 온도검출회로에 의해 검출된 온도에 따라서 상기 출력선의 전위를 변경하기 위한 정전압발생회로를 구비한 것을 특징으로하는 전원회로.

#### 청구항 29

제28항에 있어서, 상기 정전압발생회로는, 서로의 사이에 직류전압이 인가되는 제1 및 제2전압공급선주의 기준전위선으로서의 제1전압공급선과 출력노우드와의 사이에 일정한 전위차를 발생시키기 위한 기준전위발생회로와, 상기 기준전위발생회로의 출력노우드전 전위와 상기 출력선의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로와, 상기 기준전위발생회로의 출력노우드의 전위를 변경시키므로서 상기 출력선의 전위를 변경하도록 상기 기준전위발생회로에 제어신호를 부여하기 위한 제어회로를 구비하고, 상기 기준전위발생회로는, 상기 제2전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단을 가지고 상기 저항수단은 저항치가 상기 제어회로로부터의 제어신호에 따라서 변화하도록 구성되어 있는 것을 특징으로하는 전원회로.

#### 청구항 30

제28항에 있어서, 상기 정전압발생회로는, 서로의 사이에 직류전압이 인가되는, 제1 및 제2전압공급선 중의 기준전위선으로서의 제1전압공급선과 출력노우드와의 사이에 일정한 전위차를 발생시키기 위한 기준전위발생회로와, 상기 기준전위발생회로의 출력노우드의 전위와 상기 출력선의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로와, 상기 기준전위발생회로의 출력노우드미 전위를 변경시키므로서 상기 출력선의 전위를 변경하도록 상기 기준전위발생회로에 제어신호를 부여하기 위한 제어회로를 구비하고, 상기 기준전위발생회로는, 상기 제2전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단과, 상기 다이오드수단을 복수의 MOS트랜지스터중의 적어도 1개의 MOS트랜지스터의 소오스·드레인사이를 상기 제어회로로부터의 제어신호에 따라서 단락시키기 위한 단락수단을 가진 것을 특징으로하는 전원회로.

첨구항 31

제28항에 있어서, 상기 정전압발생회로는, 제1기준전위선과 제1노우드와의 사이에 일정한 전위차를 발생시키기 위한 제1기준전위발생회로와, 제2기준전위선으로서의 상기 출력선과 제2노우드와의 사이에 일정한 전위차를 발생시키기 위한 제2기준전위발생회로와, 상기 출력선과 상기 제2노우드와의 사이에 삽입된 콘덴서 소자와, 상기 제1노우드의 전위와 상기 제2노우드의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에 상기 출력선을 구동하기 위한 들통회로와, 상기 제1 및 제2노우드중의 적어도 한쪽의 전위를 변경시키므로서 상기 출력선의 전위를 변경하도록, 상기 제1 및 제2기준전위발생회로중의 적어도 한쪽에 제어신호를 부여하기 위한 제어회로를 구비하고, 상기 제1 및 제2기준전위발생회로중의 적어도 한쪽은, 서로의 사이에 직류전압이 인가되는 제1 및 제2전압공급선중의 상기 제1 또는 제2기준전위선으로서의 제1전압공급선과 상기 제1 또는 제2노우드로서의 출력노우드와의 사이에 일정한 전위차를 발생시키도록, 상기 제2전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소스가 상기 제1전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단을 가지고, 상기 저항수단은 저항치가 상기 제어회로에 따라서 변화하도록 구성되어 있는 것을 특징으로하는 전원회로.

청구항 32

제28항에 있어서, 상기 정전압발생회로는, 제1기준전위선과 제1노우드와의 사이에 일정한 전위차를 발생시키기 위한 제1기준전위발생회로로와, 제2기준전위선으로서의 상기 출력선과 제2노우드와의 사이에 일정한 전위차를 발생시키기 위한 제2기준전위발생회로로와, 상기 출력선과 상기 제2노우드와의 사이에 삽입된 콘덴서소자와, 상기 제1노우드의 전위와 상기 제2노우드의 전위를 비교하기 위한 비교회로로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 동그로리회로로와, 상기 제1 및 제2노우드중의 적어도 한쪽의 전위를 변경시키므로서 상기 출력선의 전위를 변경하도록, 상기 제1 및 제2기준전위발생회로중의 적어도 한쪽에 제어신호를 부여하기 위한 제어회로를 구비하고, 상기 제1 및 제2기준전위발생회로중의 적어도 한쪽은, 서로의 사이에 직류전압이 인가되는 제1 및 제2전압급공급선증의 상기 제1 또는 제2기준전위선으로서의 제1전압급공급선과 상기 제1 또는 제2노우드로서의 사이에 일정한 전위차를 발생시킬도록, 상기 제2전압급공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1전압급공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로에 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터증의 적어도 1개의 MOS트랜지스터의 소오스. 드레인사이클을 상기 제어회로로부터의 제어신호에 따라서 단락시키기 위한 단락수단을 가진 것을 특징으로하는 전원회로로.

첨구할 33

제28면에 있어서, 제1기준전위선과 제1노우드와의 사이에 작은 온도의 존성을 가진 전위차를 발생시키기 위한 제1기준전위발생회로와, 제2기준전위선과 제2노우드와의 사이에 큰 온도의 존성을 가진 전위차를 발생시키기 위한 제2기준전위발생회로와, 상기 제1노우드의 전위와 상기 제2노우드의 전위를 비교하므로서 경출해야 할 운도가 소정의 운도에 도달하였는지 어떤지를 판정하고, 이 판정의 결과에 따라서 상기 정전압발생회로의 동작을 제어하기 위한 바이히로드를 구비하고, 상기 제1기준전위발생회로는 서로의 사이에 직류전압이 인가되는 제1 및 제2전압공급선중의 상기 제1기준전위선으로서의 제1전압공급선과 상기 제1노우드와의 사이에 작은 온도의 존성을 가진 전위차를 발생시키도록, 상기 제2전압공급선과 상기 제1노우드와의 사이에 삽입된 제1저항수단과, 게이트가 상기 제1노우드에 접속되고 또한 소오스가 상기 제1전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 제1노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 제2다이오드수단을 가지고, 상기 제2기준전위발생회로는, 서로의 사이에 직류전압이 인가되는 제3 및 제4전압공급선중의 상기 제2기준전위선으로서의 제3전압공급선과 상기 제2노우드와의 사이에 큰 온도의 존성을 가진 전위차를 발생시키도록, 상기 제4전압공급선과 상기 제2노우드와의 사이에 삽입된 제2저항수단과, 서로 직렬접속되고, 또한 일단부가 상기 제2노우드에 접속되고 탄단부가 상기 제3전압공급선에 접속된 또 다른 복수의 MOS트랜지스터로 구성된 제2다이오드수단을 가진 톤진히트를

첨구항 34

논리회로의 전원으로서 사용되는 안정화 출력전압으로서의 출력선의 전위를 온도상승에 따라서 올리므로서 상기 논리회로의 지연시간을 일정하게 유지하기 위한 전원회로로서, 펄스신호의 지연시간을 온도의존성이 작은 제1지연회로와, 기준온도에 있어서서의 펄스신호의 지연시간이 상기 제1지연회로와 일치하도록 설정되어 온도 모니터로서의 논리회로를 가진 제2지연회로와, 상기 제1지연회로의 지연시간과 상기 제2지연회로의 지연시간과 같은 차를 검출하기 위한 지연시간차 검출회로와, 상기 제2지연회로의 지연시간과 상기 제1지연회로의 지연시간보다 크게되었을 경우에는 상기 출력선의 전위를 상승시키고, 또한 상기 제2지연회로의 지연시간이 상기 제1지연회로의 지연시간보다 작게 되었을 경우에는 상기 출력선의 전위를 저하시키도록, 상기 지연시간차 검출회로의 출력에 따라서 상기 출력선의 전위를 변경하기 위한 정전압발생회로를 구비하고, 상기 정전압발생회로로부터의 상기 출력선상의 안정화 출력전압은 상기 제2지연회로 전원으로서 공급되고 있는 것을 틀림으로서 하루.

첨구할 35

제34항에 있어서, 상기 제1지연회로는 저항소자의 콘덴서 소자로 결정되는 시정수를 이용하도록 구성된 것을 특징으로하는 전원회로.

청구항 36

제34항에 있어서, 상기 지역시간차 경출회로는, 상기 제1지역회로의 지역시간과 상기 제2지역회로의 지역시간과의 차에 따라서, 상기 제2지역회로의 지역시간이 상기 제1지역회로의 지역시간보다 크게 되었을 때

우에는 축진신호를 출력하고, 또한 상기 제2자연회로의 자연시간이 상기 제1자연회로의 자연시간보다 작게되었을 경우에는 억제신호를 출력하는 기능을 가지고, 상기 정전압발생회로는, 상기 자연시간차 검출회로로부터의 축진신호를 수취할때마다 상기 출력선의 전위를 상승시키고, 또한 상기 자연시간차 검출회로로부터의 억제신호를 수취할때마다 상기 출력선의 전위를 저하시키는 기능을 것을 특징으로하는 전원회로.

#### 첨구항 37

제34항에 있어서, 상기 정전압발생회로는, 서로의 사이에 직류전류가 인가되는 제1 및 제2전압공급선중의 기준전위선으로서의 제1전압공급선과 출력노우드와의 사이에 일정한 전위차를 발생시키기 위한 기준전위 발생회로와, 상기 기준전위발생회로의 출력노우드의 전위와 상기 출력선의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로와, 상기 기준전위 발생회로의 출력노우드의 전위를 변경시키므로서 상기 출력선의 전위를 변경하도록 상기 기준전위발생회로에 제어신호를 부여하기 위한 제어회로를 구비하고, 상기 기준전위발생회로는 상기 제2전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1전압 공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단을 가지고, 상기 저항수단은 저항치가 상기 제어회로로부터의 제어신호를 따라서 변화하도록 구성되어 있는 것을 특징으로하는 전원회로.

#### 첨구항 38

제34항에 있어서, 상기 정전압발생회로는, 서로의 사이에 직류전류가 인가되는 제1 및 제2전압공급선중의 기준전위선으로서의 제1전압공급선과 출력노우드와의 사이에 일정한 전위차를 발생시키기 위한 기준전위 발생회로와, 상기 기준전위발생회로의 출력노우드의 전위와 상기 출력노우드의 전위와 상기 출력선의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로와, 상기 기준전위 발생회로의 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1전압 공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단과, 상기 다이오드수단의 복수의 MOS트랜지스터중의 적어도 1개의 MOS트랜지스터의 소오스 드레인사이를 상기 제어회로로부터의 제어신호에 따라서 단락시키기 위한 단락수단을 가진 것을 특징으로하는 전원회로.

#### 첨구항 39

제34항에 있어서, 상기 정전압발생회로는, 제1기준전위선과 제1노우드와의 사이에 일정한 전위차를 발생시키기 위한 제1기준전위발생회로와, 제2기준전위선으로서의 상기 출력선과 제2노우드와의 사이에 일정한 전위차를 발생시키기 위한 제2기준전위발생회로와, 상기 출력선과 상기 제2노우드와의 사이에 삽입된 콘덴서소자와, 상기 제1노우드의 전위와 상기 제2노우드의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로와, 상기 제1 및 제2노우드중의 적어도 한쪽의 전위를 변경시키므로서 상기 출력선의 전위를 변경하도록, 상기 제1 및 제2기준전위발생회로중의 적어도 한쪽은, 서로의 사이에 직류전압이 인가되는 제1 및 제2전압공급선중의 상기 제1 또는 제2기준전위선으로서의 제1전압공급선과 상기 제1 또는 제2노우드로서의 출력노우드와의 사이에 일정한 전위차를 발생시키도록, 상기 제2전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단을 가지고, 상기 저항수단은 저항치가 상기 제어회로로부터의 제어신호에 따라서 단락시키기 위한 단락수단을 가진 것을 특징으로하는 전원회로.

#### 첨구항 40

제34항에 있어서, 상기 정전압발생회로는, 제1기준전위선과 제1노우드와의 사이에 일정한 전위차를 발생시키기 위한 제1기준전위발생회로와, 제2기준전위선으로서의 상기 출력선과 제2노우드와의 사이에 일정한 전위차를 발생시키기 위한 제2기준전위발생회로와, 상기 출력선과 상기 제2노우드와의 사이에 삽입된 콘덴서소자와, 상기 제1노우드의 전위와 상기 제2노우드의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로와, 상기 제1 및 제2노우드중의 적어도 한쪽의 전위를 변경시키므로서 상기 출력선의 전위를 변경하도록, 제1 및 제2 기준전위발생회로중의 적어도 한쪽에 제어신호를 부여하기 위한 제어회로를 구비하고, 상기 제1 및 제2 기준전위발생회로중의 적어도 한쪽은, 서로의 사이에 직류전압이 인가되는 제1 및 제2전압공급선중의 상기 제1 또는 제2기준전위선으로서의 제1전압공급선과 상기 제1 또는 제2노우드로서의 출력노우드와의 사이에 일정한 전위차를 발생시키도록, 상기 제2전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단과, 상기 다이오드수단의 복수의 MOS트랜지스터중의 적어도 1개의 MOS트랜지스터의 소오스 드레인사이를 상기 제어회로로부터의 제어신호에 따라서 단락시키기 위한 단락수단을 가진 것을 특징으로하는 전원회로.

#### 첨구항 41

주변회로와, 이 주변회로의 자연시간을 보정하기 위한 자연시간 보정회로를 구비한 반도체 집적회로로서, 상기 자연시간보정회로는, 펄스신호를 자연시키기 위한 제1자연회로와, 상기 제1자연회로에 공급되는 펄스신호와 동일한 펄스신호를 자연시키기 위한 논리회로를 가지고, 이 논리회로는 상기 주변회로와 동일하고 또한 상기 제1자연회로와는 다른 자연시간온도의존성을 가지고 또한 기준온도에 있어서의 펄스신호의 자연시간이 상기 제1자연회로와 일치하도록 설정된 제2자연회로와, 상기 제2자연회로 및 주변회로의 각각

에의 안정화전원전압의 공급선으로서 사용되는 출력선의 전위를, 제어신호에 따라서 변경가능한 일정치로 유지하기 위한 정전압발생회로와, 상기 제1 및 제2지연회로의 각각의 출력신호에 의거하여, 상기 제2지연회로의 지연시간이 상기 제1지연회로의 지연시간보다 크게 되었을 경우에는 출력신호를 출력하고, 또한 상기 제2지연회로의 지연시간이 상기 제1지연회로의 지연시간 보다 작게 되었을 경우에는 역제신호를 출력하기 위한 지연시간차 검출회로와, 상기 지연 시간차검출회로부터의 출력신호를 수취할때마다 상기 출력선의 전위를 상승시키도록, 또한 상기 지연 시간차검출회로부터의 역제신호를 수취할때마다 상기 출력선의 전위를 저하시키도록 상기 정전압발생회로에의 제어신호를 출력하기 위한 제어회로를 구비한 것을 특징으로하는 반도체집적회로.

#### 청구항 42

제41항에 있어서, 상기 지연시간 보정회로는, 상기 제1 및 제2지연회로에 공통의 펄스신호를 공급하기 위한 펄스발생회로를 더구비한 것을 특징으로하는 반도체집적회로.

#### 청구항 43

제41항에 있어서, 상기 지연시간차검출회로는, 제1 및 제2검출신호를 상기 측진신호 및 역제신호로서 출력하기 위한 회로를 구비하고, 상기 제1 및 제2검출회로는 각각 동일시각에 전이하는 펄스를 가지고, 또한 상기 제2지연회로의 지연시간이 상기 제1지연회로의 지연시간보다 큰 경우에는 상기 제2검출신호의 펄스폭이 상기 제1검출신호의 펄스폭보다 크게되고, 상기 제2지연회로의 지연시간이 상기 제1지연회로의 지연시간보다 작은 경우에는 상기 제2검출신호의 펄스폭이 상기 제1검출신호의 펄스폭보다 작게 되는 특징으로하는 반도체집적회로.

#### 청구항 44

제43항에 있어서, 상기 제어회로는, 복수의 논리신호를 상기 제어신호로서 출력하기 위한 회로를 구비하고, 상기 복수의 논리신호중 소정의 논리레벨을 가진 논리신호의 수는, 상기 지연시간차검출회로로부터 출력되는 제1 및 제2검출신호의 펄스폭의 차에 따라서 변경되는 특징으로하는 반도체집적회로.

#### 청구항 45

제44항에 있어서, 상기 정전압발생회로는, 서로의 사이에 직류전류가 인가되는 제1 및 제2전압공급선중의 기준선위선으로서의 제1전압등분선과 출력노우드와의 사이에 일정한 전위차를 발생시키기 위한 기준전위발생회로와, 상기 기준전위발생회로의 출력노우드의 전위와 상기 출력노우드의 전위와 상기 출력선의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로를 구비하고, 상기 기준전위발생회로는, 상기 제어회로로부터 제어신호로서 출력되는 복수의 논리신호중이 소정의 논리레벨을 가진 논리신호의 수에 따라서 저항치가 변화하도록 상기 제2전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1전압공급선에 접속된 MOS트랜지스터를 가진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단을 가진 것을 특징으로하는 반도체집적회로.

#### 청구항 46

제41항에 있어서, 상기 제2지연회로는, 기준온도에 있어서의 지연시간이 상기 제1지연회로의 출력신호와 일치하도록 설정된 기준신호에 대해서 지연위상을 가진 제1출력신호와, 상기 기준신호에 대해서 전진위상을 가진 제2출력신호를 각각 출력하기 위한 회로를 구비하고, 상기 지연시간차 검출회로는, 상기 제1지연회로의 출력신호의 입력타이밍에 대한 상기 제2지연회로의 제1 및 제2출력신호의 입력타이밍에 따라서, 상기 제1지연회로의 지연시간과, 상기 제2지연회로의 지연시간과의 차의 유무를 표시하는 제1검출신호와, 상기 제1 및 제2지연회로중의 어느쪽의 지연시간이 큰 것인지를 표시하는 제2검출신호를, 상기 제1지연회로의 지연시간보다 큰 경우에는 상기 제2지연회로의 지연시간을 표시하는 제1논리레벨을, 상기 제2지연회로의 지연시간보다 작은 경우에는 상기 제1지연회로의 지연시간을 표시하는 제2논리레벨을 가진 제2검출신호를, 상기 제1지연회로의 지연시간과 상기 제2지연회로의 지연시간과의 차의 유무를 표시하는 제1검출신호와 제2검출신호를 가진 제2지연회로로부터 출력되는 것을 특징으로하는 반도체집적회로.

#### 청구항 47

제46항에 있어서, 상기 지연시간차 검출회로는, 상기 제1지연회로의 출력신호와 상기 제2지연회로의 제1 및 제2출력신호를 각각 입력신호로하는 논리합회로와, 상기 논리합회로의 출력신호를 래치하므로서 상기 제1검출신호를 출력하기 위한 제1래치회로와, 상기 제1래치회로로부터의 제1검출신호의 출력타이밍으로서 상기 제1지연회로의 출력신호를 래치하므로서 상기 제2검출신호를 출력하기 위한 제2래치회로를 구비한 것을 특징으로하는 반도체집적회로.

#### 청구항 48

제41항에 있어서, 상기 지연시간차 검출회로는, 상기 제1지연회로의 출력신호와 입력타이밍에 대한 상기 제2지연회로의 출력신호의 입력타이밍에 따라서, 상기 제1 및 제2지연회로중의 어느쪽의 지연시간이 클지를 표시하는 제1검출신호와, 상기 제1지연회로의 지연시간과 상기 제2지연회로의 지연시간과의 차의 유무를 표시하는 제2검출신호를 상기 측진신호 및 역제신호로서 출력하기 위한 회로를 구비하고, 상기 제2지연회로의 지연시간이 상기 제1지연회로의 지연시간보다 클 경우에는 제1논리레벨을 가진 제1검출신호와 지연시간차의 존재를 표시하는 제2검출신호가, 상기 제2지연회로의 지연시간이 상기 제1지연회로의 지연시간보다 작은 경우에는 제2논리레벨을 가진 제1검출신호와 지연시간차의 존재를 표시하는 제2검출신호가 각각 상기 지연시간차 검출회로로부터 출력되는 것을 특징으로하는 반도체집적회로.

#### 청구항 49

제40쪽에 있어서, 상기 지연시간차 검출회로는, 상기 제1 및 제2지연회로의 각각의 출력신호의 전위차를 증폭하므로서 제1검출신호를 출력하기 위한 풀립트리밍과, 상기 제1 및 제2지연회로의 각각의 출력신호 중의 어느 한 쪽의真理에 의해 트리거되어서 일정펄스폭을 가진 상기 제2검출신호를 출력하기 위한 단안정멀티바이브레이터를 구비한 것을 짚정으로 하는 반도체积설회로.

첨구항 50

제41항에 있어서, 상기 주변회로는 워드선을 개재해서 메모리셀을 선택하기 위한 로우디코우더를 구비하고, 상기 정전압발생회로의 출력선은, 상기 제2지연회로 및 로우디코우더의 각각에의 전원전압공급선으로서 사용되는 것을 특징으로하는 반도체집적회로.

청구항 51

제1 및 제2전압공급선을 통해서 외부로부터 인가되는 직류전압으로부터 반도체기판에 부여해야 할 기판전위를 생성하기 위한 기판전위생성회로와, 상기 기판전위생성회로에 의해 생성된 기판전위를 소정치로 유지하도록 상기 기판전위에 따라서 상기 기판전위생성회로의 동작을 제어하기 위한 기판전위제어회로를 구비한 반도체집적회로로서, 상기 기판전위제어회로는, 상기 제1 및 제2전압공급선중의 어느한쪽을 제1전위선, 다른쪽을 제2전위선으로하고, 상기 제1전위선과 제1노우드와의 사이에 일정한 전위차를 발생시키기 위한 제1기준전위발생회로와, 상기 반도체기판과 제2노우드와의 사이에 일정한 전위차를 발생시키기 위한 제2기준전위발생회로와, 상기 제1노우드와 상기 제2노우드의 전위를 비교하고, 이 비교의 결과에 따라서 상기 기판전위생성회로의 동작을 제어하기 위한 비교회로를 가지고, 상기 제1기준전위발생회로는, 상기 제2전위선과 상기 제1노우드와의 사이에 삽입된 제1저항수단과, 게이트가 상기 제1노우드에 접속되고 또한 상기 제1기준전위선에 접속된 MOS트랜지스터를 가진 제1귀환수단과, 서로 직렬접속되고 또한 상기 제1귀환수단의 MOS트랜지스터의 드레인과 상기 제1노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 제1다이오드수단을 가지고, 상기 제2기준전위발생회로는, 상기 제1 및 제2전압공급선중의 어느한쪽과 상기 제2노우드와의 사이에 삽입된 제2저항수단과, 게이트가 상기 제2노우드에 접속되고 또한 상기 제2기준전위선에 접속된 다른 MOS트랜지스터를 가진 제2귀환수단과, 서로 직렬접속되고 또한 상기 제2귀환수단의 MOS트랜지스터의 드레인과 상기 제2노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 제2다이오드수단을 가진 것을 특징으로하는 반도체집적회로.

청구항 52

제1 및 제2전압공급선을 통해서 외부로부터 인가되는 직류전압으로부터 반도체 기판상의 특정한 회로블록에 부여해야만 특정전위를 특정전위선상에 생성하기 위한 특정전위상성회로와, 상기 특정전위상성회로에 의해 생성된 특정전위를 소정치로 유지하도록, 상기 특정전위선상의 특정전위에 따라서 상기 특정전위생성회로의 동작을 제어하기 위한 특정전위제어회로를 구비한 반도체 집적회로로서, 상기 특정전위제어회로는, 상기 제1 및 제2전압공급선중의 어느한쪽을 제1전위선, 다른쪽을 제2전위선으로하고, 상기 제1전위선과 제1노우드와의 사이에 일정한 전위차를 발생시키기 위한 제1기준전위발생회로와, 상기 특정전위선과 제2노우드와의 사이에 일정한 전위차를 발생시키기 위한 제2기준전위발생회로와, 상기 제1노우드의 전위와 상기 제2노우드의 전위를 비교하고, 이 비교의 결과에 따라서 상기 특정전위생성회로의 동작을 제어하기 위한 비교회로를 가지고, 상기 제1기준전위발생회로는, 상기 제2전위선과 상기 제1노우드와의 사이에 삽입된 제1저항수단과, 게이트가 상기 제1노우드에 접속되고 또한 소오스가 상기 제1전위선에 접속된 MOS트랜지스터를 가진 제1기준수단과, 서로 직렬접속되고 또한 상기 제1기준수단의 MOS트랜지스터의 드레인과 상기 제1노우드와의 사이에 삽입된 다른복수의 MOS트랜지스터로 구성된 제1다이오드수단을 가지고, 상기 제2기준전위발생회로는, 상기 제1 및 제2전압공급선중의 어느한쪽과 상기 제2노우드와의 사이에 삽입된 제2저항수단과, 게이트가 상기 제2노우드에 접속되고 또한 소오스가 상기 특정전위선에 접속된 또다른 MOS트랜지스터를 가진 제2기준수단과, 서로 직렬접속되고 또한 상기 제2기준수단의 MOS트랜지스터의 드레인과 상기 제2노우드와의 사이에 삽입된 또다른 복수의 MOS트랜지스터로 구성된 제2다이오드수단을 가지고 것을 특징으로하는 반도체집적회로.

첨구할 53

반도체 기판상의 각각 논리회로로 구성된 복수의 회로블록에 공통의 전원으로서 사용되는 안정화출력전원으로서의 출력선의 전위를 온도상승에 따라서 즐리므로서 상기 복수의 회로블록의 각각의 지연시간을 일정하게 유지할 수 있도록 구성된 반도체집적회로로서, 필스신호의 지연시간의 온도의존성이 작은 제1지연회로와, 기준온도에 있어서의 필스신호의 지연시간이 상기 제1지연회로와 일치하도록 설정된 온도모니터로서의 논리회로를 가진 제2지연회로와, 상기 제1지연회로의 지연시간과 상기 제2지연회로의 지연시간과의 차에 따라서, 상기 제2지연회로의 지연시간이 상기 제1지연회로의 지연시간보다 크게 되었을 경우에는 촉진신호를 출력하고, 또한 상기 제2지연회로의 지연시간이 상기 제1지연회로의 지연시간보다 작게 되었을 경우에는 억제신호를 출력하기 위한 지연시간차검출회로와, 상기 지연시간차 검출회로로부터의 촉진신호를 수취할 때마다, 상기 출력선의 전위를 상승시키고, 또한 상기 지연시간차 검출회로로부터의 억제신호를 수취할 때마다, 상기 출력선의 전위를 저하시키기 위한 정전압발생회로를 구비하고, 상기 정전압발생회로로부터의 상기 출력선상의 안정화출력전압은, 상기 제2지연회로에 전원으로서 공급되어 있는 것을 특징으로 하는 반도체 집적회로이다.

첨구학 54

제53항에 있어서, 상기 정전위발생회로는, 서로의 사이에 직류전압이 인가되는 제1 및 제2전압공급선중의 기준전위선으로서의 제1전압공급선과 출력노우드와의 사이에 일정한 전위차를 발생시키기 위한 기준전위발생회로로, 상기 기준전위발생회로의 출력노우드의 전위와 상기 출력선의 전위를 비교하기 위한 비교회로로, 상기 비교회로로, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로로, 상기 기준전위발생회로의 출력노우드의 전위를 변경시킴으로서 상기 출력선의 전위를 변경하도록 상기 기준전위발생회로에 제어신호를 부여하기 위한 제어회로를 구비하고, 상기 기준전위발생회로는, 상기 제2전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상

기 제1전압공급선에 접속된 MOS트랜지스터를 기진 제1귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 복수의 MOS트랜지스터로 구성된 다이오드수단을 가지고, 상기 저항수단은 저항치가 상기 제어회로로부터의 제어신호에 따라서 변화하도록 구성되어 있는 것을 특징으로하는 반도체집적회로.

#### 청구항 55

제53항에 있어서, 상기 정전압발생회로는, 서로의 사이에 직류전압이 인가되는 제1 및 제2전압공급선중의 기준전위선으로서의 제1전압공급선과 출력노우드와의 사이에 일정한 전위차를 발생시키기 위한 기준전위발생회로와, 상기 기준전위발생회로의 출력노우드의 전위와 상기 출력선의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선의 전위를 변경하도록 상기 기준전위발생회로에 제어신호를 부여하기 위한 제어회로를 구비하고, 상기 기준전위발생회로는, 상기 제2전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1전압공급선에 접속된 MOS트랜지스터를 기진 제1귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 복수의 MOS트랜지스터로 구성된 다이오드수단과, 상기 다이오드수단의 복수의 MOS트랜지스터중의 적어도 1개의 MOS트랜지스터의 소오스·드레인 사이를 상기 제어회로로부터의 제어신호에 따라서 단락시키기 위한 단락수단을 가진 것을 특징으로하는 반도체집적회로.

#### 청구항 56

제53항에 있어서, 상기 정전압발생회로는, 제1기준전선과 제1노우드와의 사이에 일정한 전위차를 발생시키기 위한 제1기준전위발생회로와, 제2기준전위선으로서의 상기 출력선과 제2노우드와의 사이에 일정한 전위차를 발생시키기 위한 제2기준전위발생회로와, 상기 출력선과 상기 제2노우드와의 사이에 삽입된 콘덴서소자와, 상기 제1노우드의 전위와 상기 제2노우드의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로와, 상기 제1 및 제2노우드중의 적어도 한쪽의 전위를 변경시키므로서 상기 출력선의 전위를 변경하도록, 상기 제1 및 제2기준전위발생회로중의 적어도 한쪽에 제어신호를 부여하기 위한 제어회로를 구비하고, 상기 제1 및 제2기준전위발생회로중의 적어도 한쪽은, 서로의 사이에 직류전압이 인가되는 제1 및 제2전압공급선중의 상기 제1 또는 제2기준전위선으로서의 제1전압공급선과 상기 제1 또는 제2노우드로서의 출력노우드와의 사이에 일정한 전위차를 발생시키도록, 상기 제2전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1전압공급선에 접속된 MOS트랜지스터를 기진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단을 가지고, 상기 저항수단은 저항치가 상기 제어회로로부터의 제어신호에 따라서, 변화하도록 구성되어 있는 것을 특징으로하는 반도체집적회로.

#### 청구항 57

제53항에 있어서, 상기 정전압발생회로는, 제1기준선과 제1노우드와의 사이에 일정한 전위차를 발생시키기 위한 제1기준전위발생회로와, 제2기준전위선으로서의 상기 출력선과 제2노우드와의 사이에 일정한 전위차를 발생시키기 위한 제2기준전위발생회로와, 상기 출력선과 상기 제2노우드와의 사이에 삽입된 콘덴서소자와, 상기 제1노우드의 전위와 상기 제2노우드의 전위를 비교하기 위한 비교회로와, 상기 비교회로의 출력에 의한 제어하에서 상기 출력선을 구동하기 위한 구동회로와, 상기 제1 및 제2노우드중의 적어도 한쪽의 전위를 변경시키므로서 상기 출력선의 전위를 변경하도록, 상기 제1 및 제2기준전위발생회로중의 적어도 한쪽에 제어신호를 부여하기 위한 제어회로를 구비하고, 상기 제1 및 제2기준전위발생회로중의 적어도 한쪽은, 서로의 사이에 직류전압이 인가되는 제1 및 제2전압공급선중의 상기 제1 또는 제2기준전위선으로서의 제1전압공급선과 상기 제1 또는 제2노우드로서의 출력노우드와의 사이에 일정한 전위차를 발생시키도록, 상기 제2전압공급선과 상기 출력노우드와의 사이에 삽입된 저항수단과, 게이트가 상기 출력노우드에 접속되고 또한 소오스가 상기 제1전압공급선에 접속된 MOS트랜지스터를 기진 귀환수단과, 서로 직렬접속되고 또한 상기 귀환수단의 MOS트랜지스터의 드레인과 상기 출력노우드와의 사이에 삽입된 다른 복수의 MOS트랜지스터로 구성된 다이오드수단과 상기 다이오드수단의 복수의 MOS트랜지스터중의 적어도 1개의 MOS트랜지스터의 소오스·드레인 사이를 상기 제어회로로부터의 제어신호에 따라서 단락시키기 위한 단락수단을 가진 것을 특징으로하는 반도체집적회로.

#### 청구항 58

제53항에 있어서, 상기 제1지연회로, 제2지연회로 및 지연시간차검출회로는, 상기 반도체기판상에 각각 1개 배치되고, 상기 정전압발생회로는, 상기 복수의 회로블록의 각각에 균형하도록 상기 반도체기판상에 분산해서 복수배치되고, 상기 복수의 정전압발생회로의 각각과 상기 지연시간차검출회로와의 사이에, 각각 상기 측진신호 및 억제신호를 전달하기 위한 2개의 신호선이 설치된 것을 특징으로하는 반도체집적회로.

#### 청구항 59

제58항에 있어서, 상기 제1 및 제2지연회로는, 상기 반도체기판상의 대략 중앙에 배치된 것을 특징으로하는 반도체집적회로.

#### 청구항 60

제58항에 있어서, 상기 제1 및 제2지연회로는, 상기 반도체기판상의 발열중심의 근처에 배치된 것을 특징으로하는 반도체집적회로.

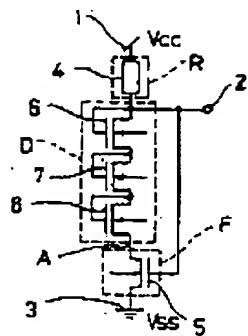
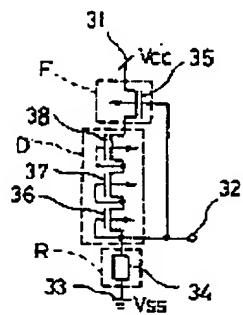
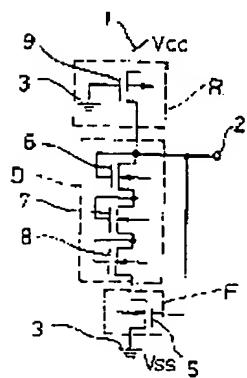
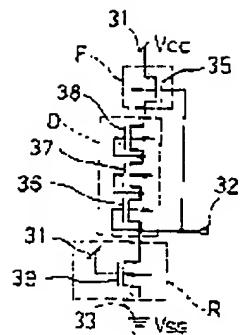
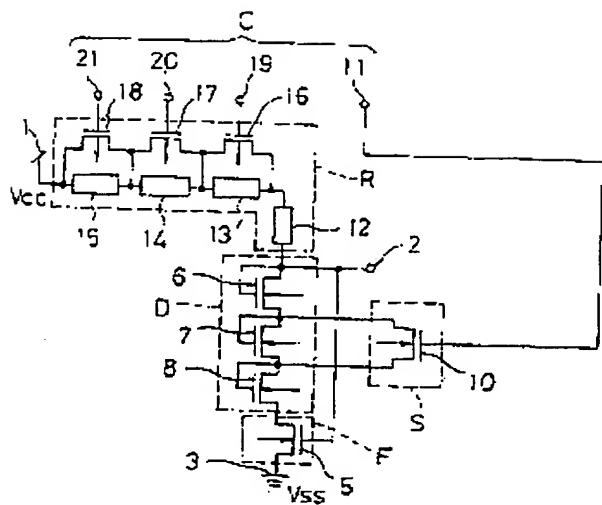
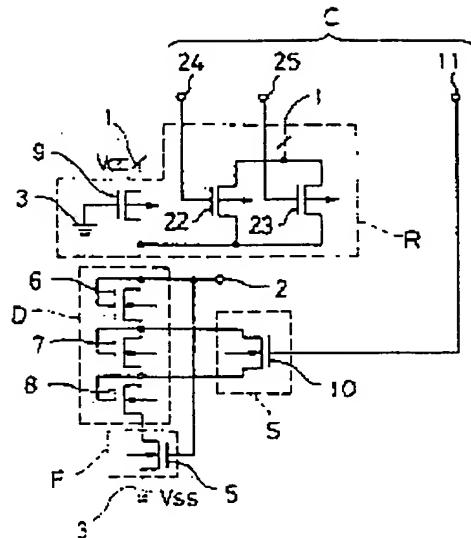
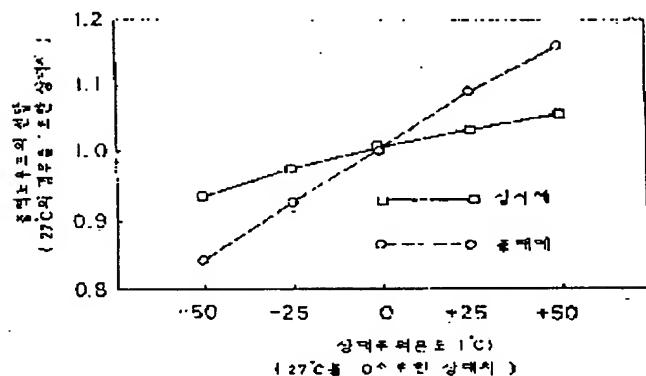
EB1EB2EB3

FIG4FIG5

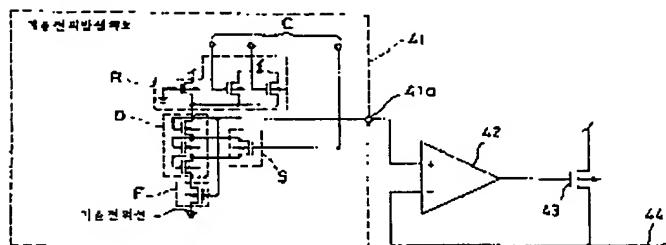
도면8



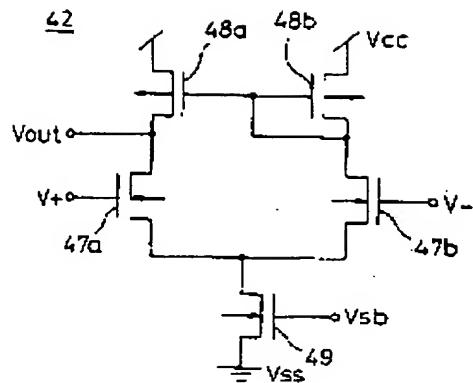
도서7



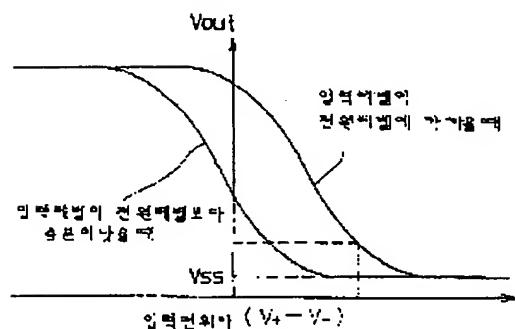
五四八



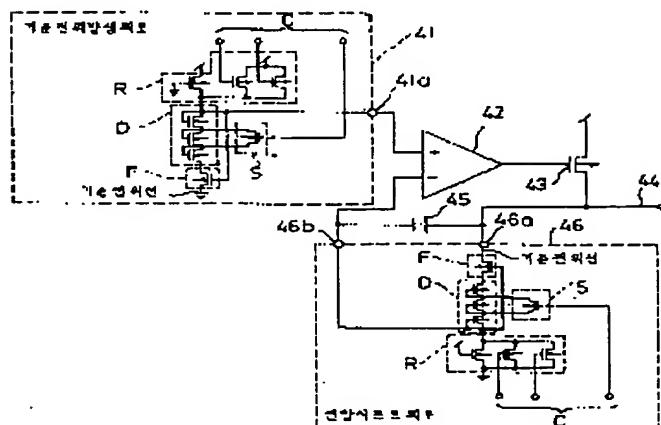
五



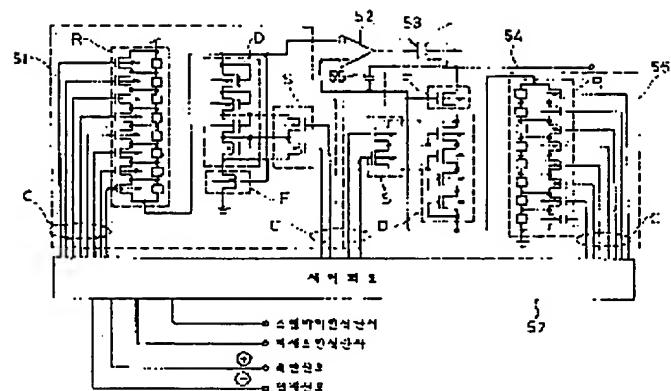
도장 10



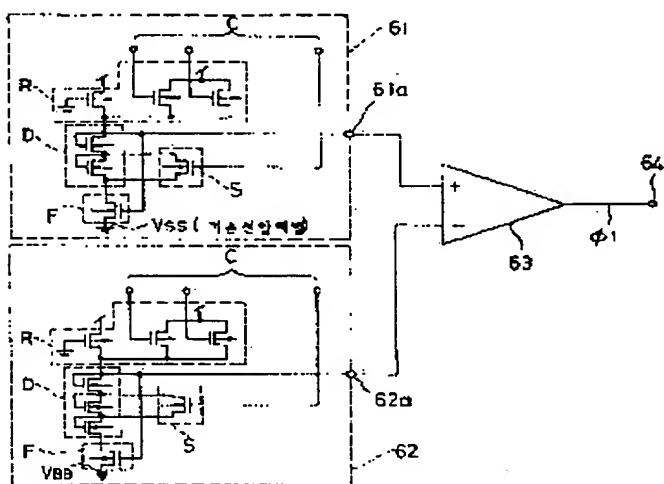
五



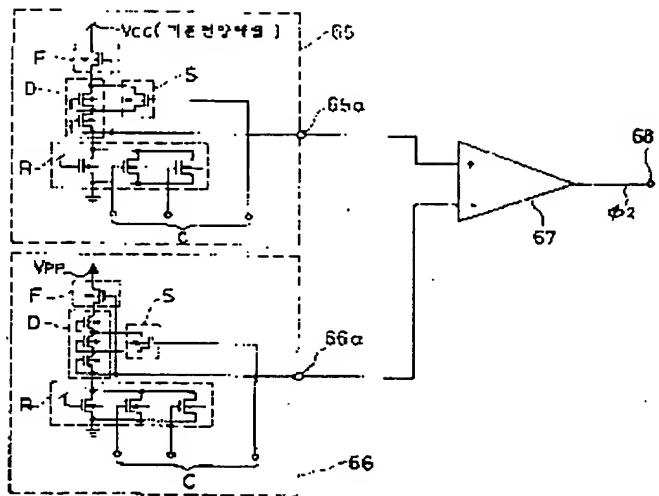
도면12



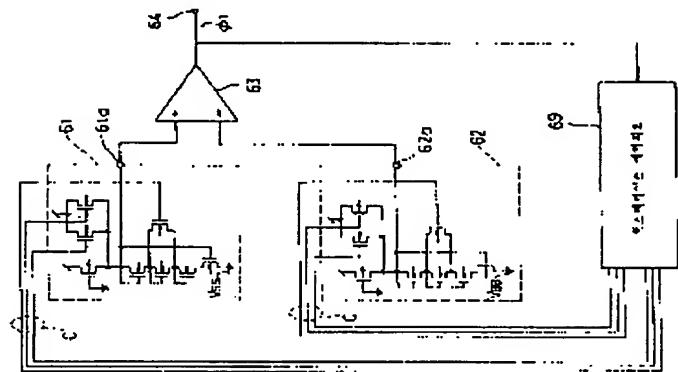
도면13



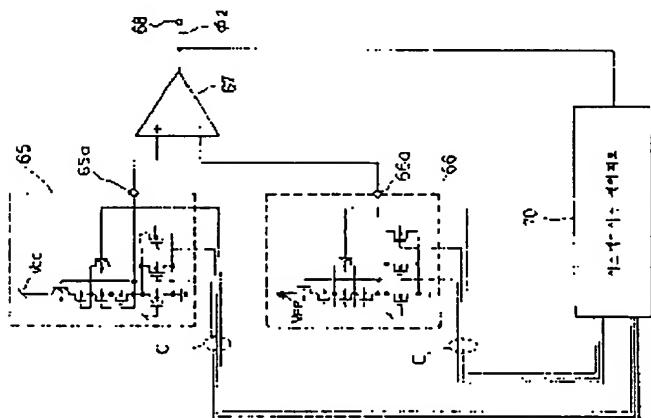
도면14



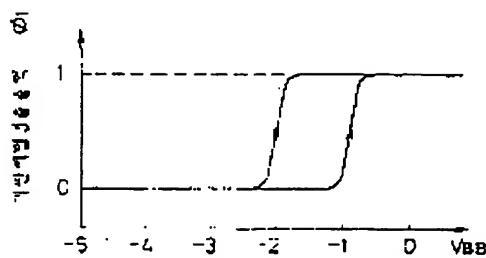
도면15



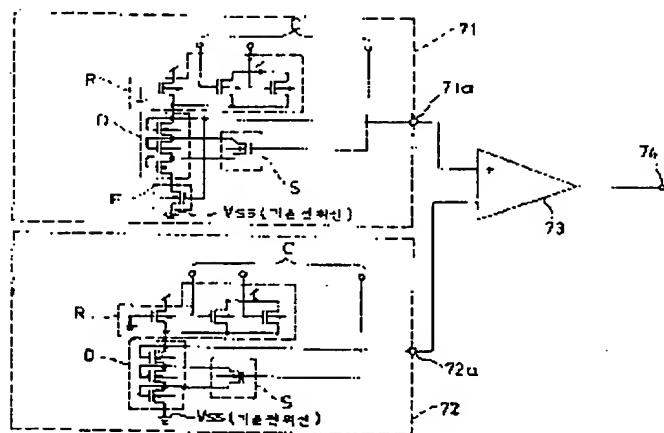
도면16



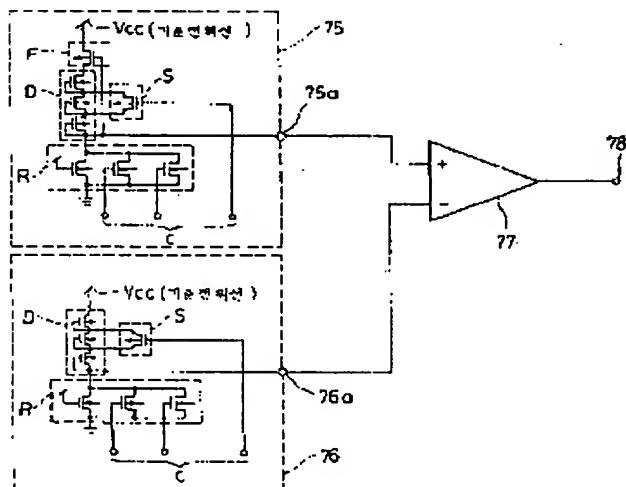
도면17



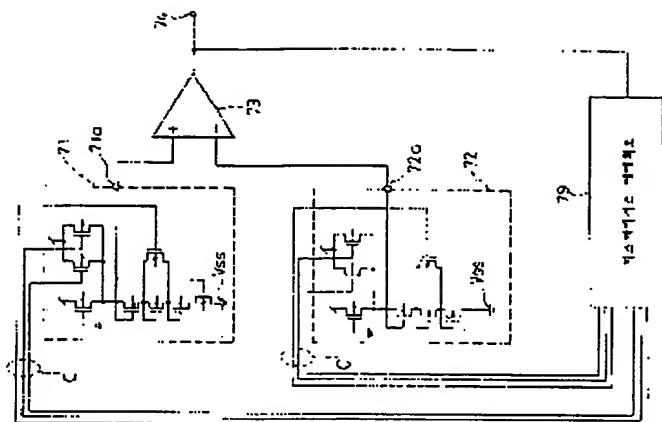
도면18



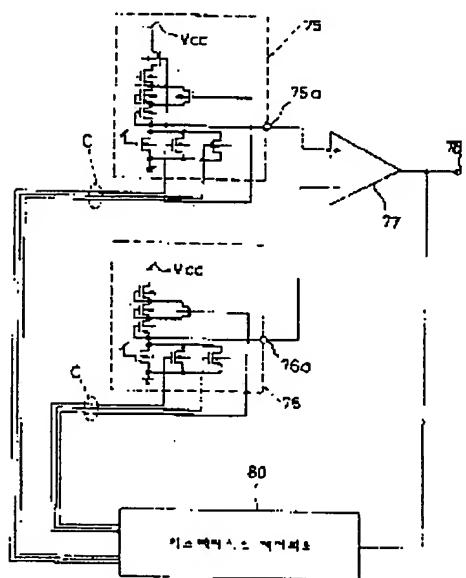
도면19



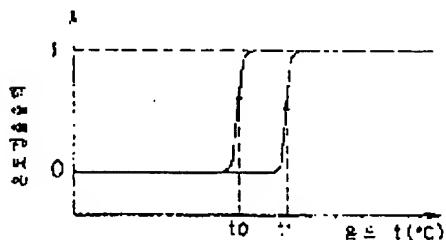
도면20



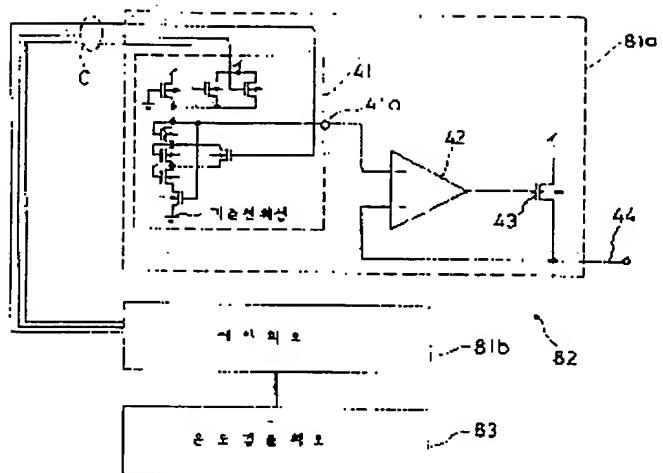
도면21



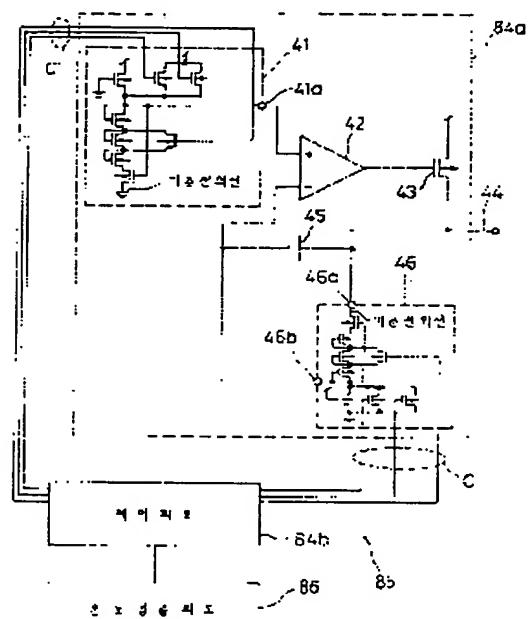
도면22



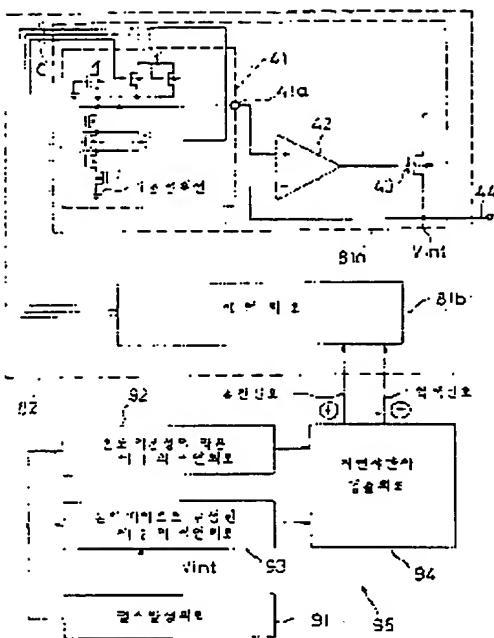
도면23



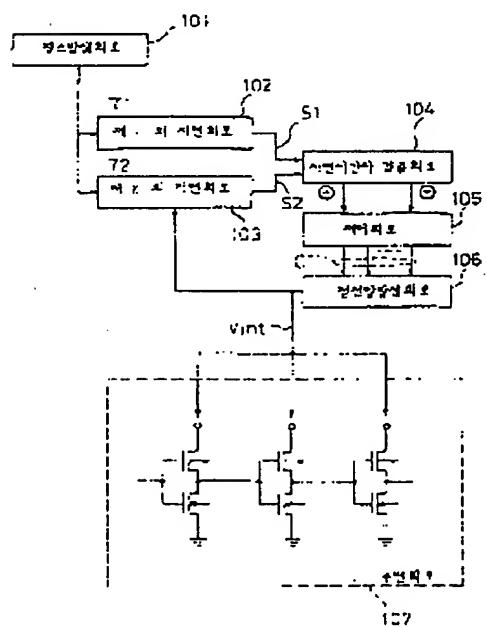
도면24

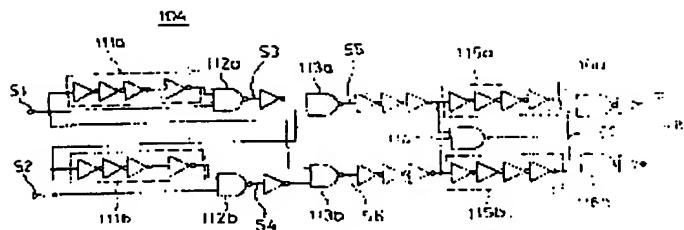
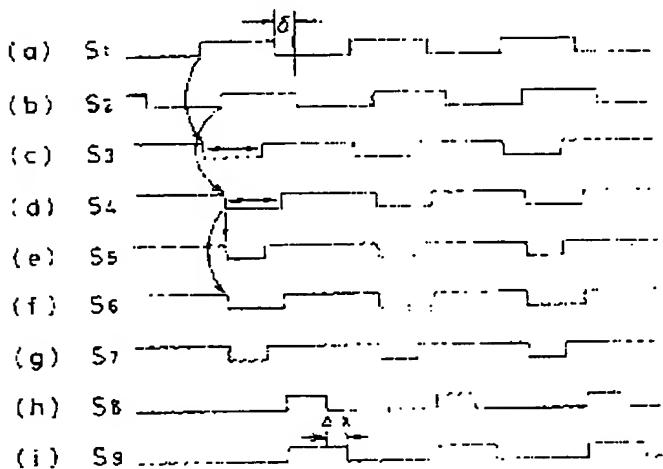


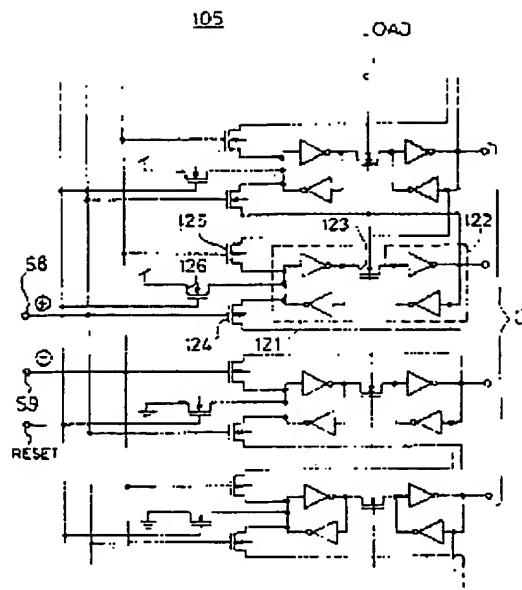
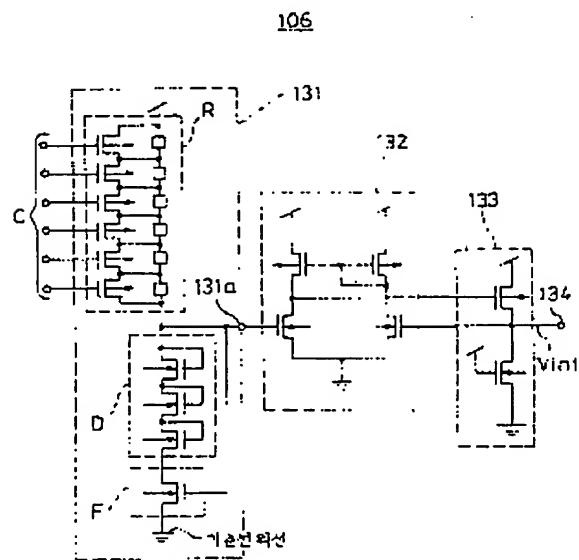
도면25

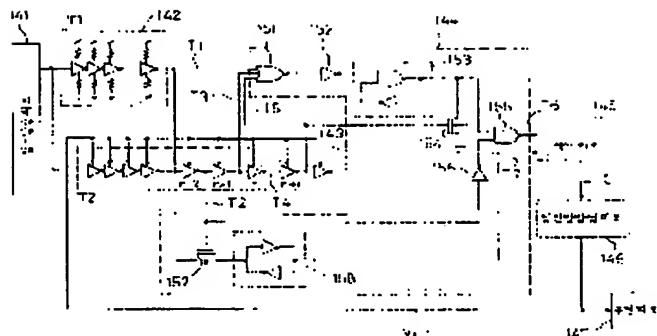
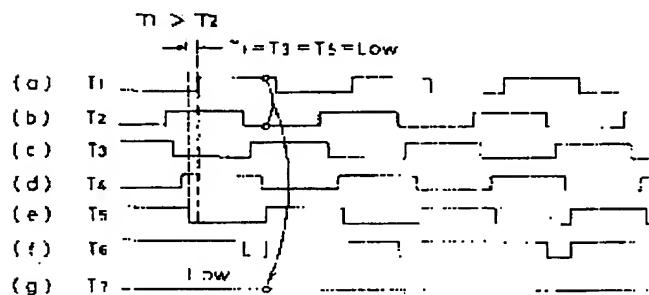
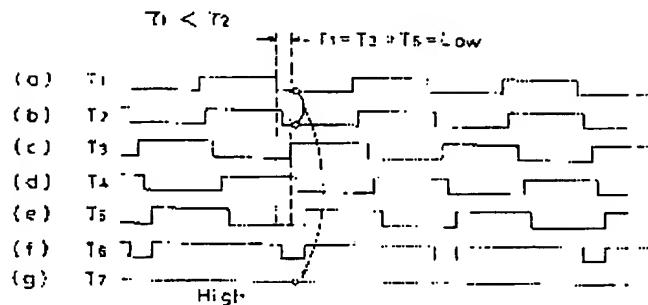


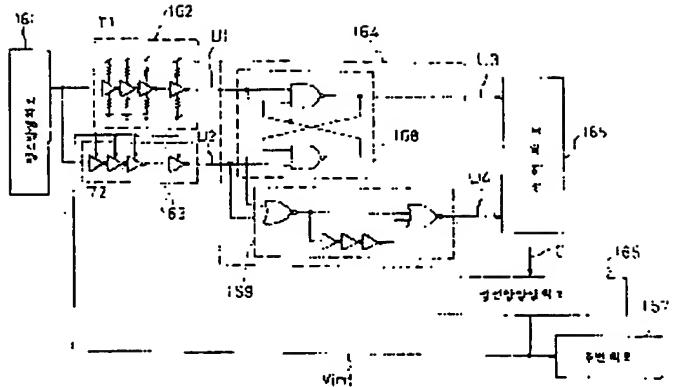
도면26



~~SB27~~~~SB28~~ $\tau_1 < \tau_2$ 

도면29도면30

**FIG31****FIG32****FIG33**

EB34EB35

$$T_1 > T_2$$

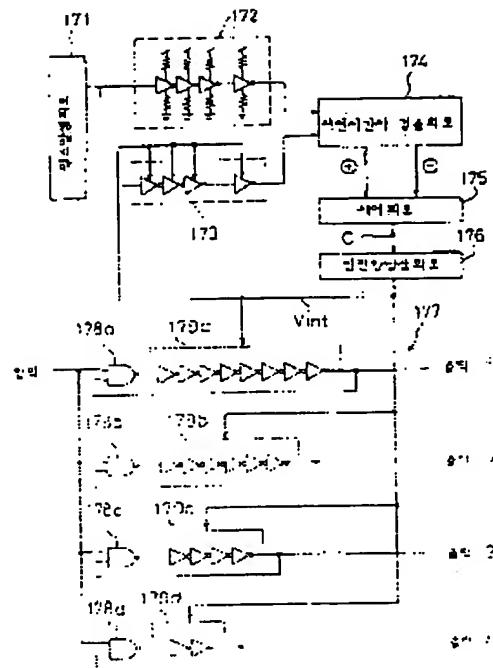
- (a) U1
- (b) U2
- (c) U3
- (d) U4

EB36

$$T_1 < T_2$$

- (a) U1
- (b) U2
- (c) U3
- (d) U4

도면37



도면38

